

А.Б. Кметь

Четырёхзначная
логика

Реализация
операций

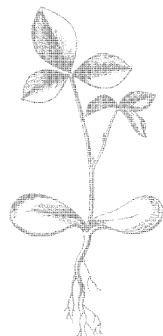
Издательство «Радио и связь»

А.Б. Кметь

**Четырёхзначная
логика
Реализация
операций**



МОСКВА
„РАДИО И СВЯЗЬ“
1991



Scan AAW

ББК 32.85
К11
УДК 681.51:621.3.049.77

Редакционная коллегия:
С. С. Булгаков (отв. редактор), М. А. Бендрекровский,
Ю. И. Борзаков, Г. Г. Горбунова, Л. Г. Дубицкий В. И. Иванов,
И. В. Лебедев, В. М. Ломакин, Ю. Р. Носов, Ю. И. Рысев,
В. Н. Сретенский (зам. отв. редактора), В. А. Терехов,
В. Н. Уласюк, В. А. Шахнов

Редакция литературы по электронике

Кметь А. Б.
К11 **Четырехзначная логика. Реализация операций. — М.: Радио и связь, 1991. — 96 с.: ил. — (Массовая б-ка инженера «Электроника»).**

ISBN 5-256-00616-9.

Впервые описан развитый комплект элементов четырехзначной логики. Предложены новые схмотехнические решения и новые схемы элементов: пороговых и алфавитных детекторов, инверторов, циклических инверторов, ренитеров, универсальных элементов, конъюнкторов, дизъюнкторов, сумматоров и умножителей по модулю четыре. Рассмотрены механизмы образования памяти и схемы четырехзначных триггеров. Показана реализуемость основных операций четырехзначной логики при одинаковых требованиях к активным компонентам в рамках стандартной технологии производства интегральных микросхем.

Для разработчиков интегральных микросхем и специалистов в области вычислительной техники и технической кибернетики.

К 2302030700-138 79-91
046(01)-91

ББК 32.85

Производственное издание

Кметь Аркадий Борисович

ЧЕТЫРЕХЗНАЧНАЯ ЛОГИКА. РЕАЛИЗАЦИЯ ОПЕРАЦИЙ

Заведующий редакцией Ю. Н. Рысев. Редактор И. П. Леонтьева.

Обложка художника К. М. Прасолова. Художественный редактор

Н. С. Шенин. Технический редактор Т. Г. Родина.

Корректор Т. Л. Кускова

ИБ № 2269

Сдано в набор 26.02.91

Подписано в печать 03.09.91

Формат 60×90 1/16 Бумага типографская № 2 Гарнитура литературная Печать высокая
Усл. печ. л. 6,0 Усл. кр.-отг. 6,38 Уч.-изд. л. 6,67 Тираж 5000 экз. Изд. № 23151
Зак. № 1072 Цена 1 р. 50 к.

Издательство «Радио и связь». 101000 Москва, Почтамт, а/я 693

Типография издательства «Радио и связь». 101000 Москва, Почтамт, а/я 693

ISBN 5-256-00616-9

© **Кметь А. Б., 1991**

ОГЛАВЛЕНИЕ

Предисловие	4
Глава 1.	
ОДНОВХОДОВЫЕ ЭЛЕМЕНТЫ	5
1.1. Пороговые детекторы	6
1.2. Алфавитные детекторы	12
1.3. Инверторы	15
1.4. Циклические инверторы	21
1.5. Репитеры	31
Глава 2.	
МНОГОВХОДОВЫЕ ЭЛЕМЕНТЫ	37
2.1. Конъюнкторы	38
2.2. Дизъюнкторы	54
2.3. Множительные элементы	56
2.4. Сумматоры	62
2.5. Универсальные элементы	68
Глава 3.	
ЗАПОМИНАЮЩИЕ ЭЛЕМЕНТЫ	75
3.1. Триггерный механизм образования устойчивых состояний	76
3.2. <i>DC</i> -триггеры	87
3.3. <i>RS</i> -триггеры	90
3.4. <i>R</i> -, <i>R*</i> -триггеры	92
Список литературы	95

ПРЕДИСЛОВИЕ

Требования повышения производительности и снижения стоимости цифровых вычислительных машин и информационно-вычислительных систем определяют основные направления разработки современной элементной базы. Полученные в этой области результаты связаны в первую очередь с достижениями полупроводниковой технологии: увеличением функциональной плотности и степени интеграции интегральных микросхем.

Однако для полупроводниковых цифровых микросхем предельные физико-технологические показатели могут быть получены уже в ближайшем будущем: компоненты микросхем с двоичной логикой достигнут своего практического предела по размерам и быстродействию. Повышение значности логических элементов представляется наиболее вероятным новым решением. Уже сейчас рассматривается возможность проектирования вычислительных систем, работающих в многозначном алфавите.

В 1984 г. в нашей стране были изготовлены опытные образцы первой микросхемы с многозначной логикой на основе И²Л.

В решении проблемы создания многозначной элементной базы по МОП-технологии также наметились определенные сдвиги, хотя и менее значительные. В том же 1984 г. за рубежом впервые были получены образцы многозначной микросхемы, но специального назначения: это постоянное запоминающее устройство на КМОП-транзисторах, работающее в четырехзначном алфавите [27]. В связи со специфичностью указанной микросхемы, очевидно, нельзя гарантировать формирование элементной базы для четырехзначной логики на основе КМОП-технологии. Имеются, правда, фрагментарные решения: предложены схемы отдельных КМОП-элементов, которые довольно сложны и, что самое главное, не удовлетворяют в совокупности требованию функциональной полноты [38, 39, 41, 42].

Известны случаи создания КМОП-микросхем для трехзначной логики [29, 40, 41, 44, 46, 47, 60]. Однако трехзначная логика малоэффективна, поскольку возможный выигрыш от применения многозначных элементов не превышает $\log_2 k$ (k — значность логики), а сопряжение с двоичными схемами не столь простое, как для четырехзначной логики.

Таким образом, проблема создания элементной базы на КМОП-транзисторах для четырехзначной логики все еще не решена, что и является основной причиной появления данной работы, в которой предпринята новая попытка ее решения.

Глава 1.

ОДНОВХОДОВЫЕ ЭЛЕМЕНТЫ

Из всего многообразия известных в четырехзначной логике функций одной переменной (их общее число 256) в большинстве исследуемых логических систем в качестве элементарных применяются приведенные в табл. 1.1. В некоторых функционально полных системах используют также функции-константы: 0, 1, 2, 3, которые не зависят ни от одной переменной, являясь вырожденными. Реализация таких функций, как правило, не вызывает затруднений, поэтому они не рассматриваются.

Нередко пороговые и характеристические функции — инверсии указанных в табл. 1.1. С точки зрения реализации этот факт не имеет существенного значения. Иногда в логических системах цикл определяют как $\vec{x}^\sigma = (X - \sigma) \bmod 4$, однако, учитывая, что $(X + 1) \bmod 4 = (X - 3) \bmod 4$ и так далее, ограничимся элементарными функциями одной переменной, приведенными в табл. 1.1.

Условимся о представлении информации, уровне описания схмотехнических решений и некоторых обозначениях напряжений в схемах.

Для сигналов в четырехзначных КМОП-схемах примем тот же диапазон напряжений постоянного тока, что и в двоичных, т. е. от 0 до напряжения источника питания $U_{и.п.}$ и установим следующие

Таблица 1.1. Наиболее часто употребляемые функции четырехзначной логики одной переменной

Наименование	Обозначение	Определение	Примечание
Пороговая	x^σ	3, если $X < \sigma + 0,5$ 0, если $X \geq \sigma + 0,5$	$\sigma = 0, 1, 2$
Характеристическая	$\delta_\sigma(x)$	3, если $X = \sigma$ 0, если $X \neq \sigma$	$\sigma = 0, 1, 2, 3$
Инверсия	\overline{x}	$3 - X$	
Цикл	\vec{x}^σ	$(X + \sigma) \bmod 4$	$\sigma = 1, 2, 3$
Тождественная	$\sim x$	0, если $0 \leq X < 0,5$ 1, если $0,5 \leq X < 1,5$ 2, если $1,5 \leq X < 2,5$ 3, если $2,5 \leq X \leq 3$	

щее соответствие логическому алфавиту $E_4 = \{0, 1, 2, 3\}$: $\{0, U_{н.п}/3, 2U_{н.п}/3, U_{н.п}\}$.

При рассмотрении статических передаточных характеристик элементов ограничимся построением инженерных моделей первого порядка, пренебрегая эффектами смещения подложки, модуляции канала и другими, т. е. исходя из вольт-амперных характеристик (ВАХ) МОП-транзисторов, описываемых уравнениями

$$I_C = \beta [(U_{зи} - U_{пор}) U_{си} - U_{си}^2/2] \quad (1.1)$$

в линейной области и

$$I_C = \beta (U_{зи} - U_{пор})^2/2 \quad (1.2)$$

в области насыщения [34], где β — удельная крутизна; $U_{пор}$ — пороговое напряжение.

Учитывая, что погрешность моделей первого порядка не менее 10%, откажемся при их построении от поиска точных решений соответствующих систем нелинейных уравнений, что очень громоздко и едва ли возможно. Заменим их приближениями на основе рядов Тейлора, ограниченных двумя первыми членами, при условии внесения дополнительной погрешности порядка единиц процентов.

При описании логических функций будем придерживаться общепринятых обозначений. При построении моделей логических элементов примем, что $U_{вх}$ — напряжение на входе схемы; U_i — напряжение на стоке МОП-транзистора, обозначенного в схеме через VT_i . Условимся также, что в гл. 1

$$V = U_{вх} - U_{пор n}; \quad V_i = U_i - U_{пор n}; \quad (1.3)$$

$$W = U_{н.п} - U_{вх} + U_{пор p}; \quad W_i = U_{н.п} - U_i + U_{пор p}.$$

1.1. ПОРОГОВЫЕ ДЕТЕКТОРЫ

Пороговыми детекторами называют логические элементы, реализующие элементарные пороговые функции. В четырехзначной логике существуют три элементарные пороговые функции x^σ , $\sigma = 0, 1, 2$, удовлетворяющие выбранному определению (см. табл. 1.1):

$$x^\sigma = \begin{cases} 3, & \text{если } X < \sigma + 0,5; \\ 0, & \text{если } X \geq \sigma + 0,5. \end{cases} \quad (1.4)$$

Поскольку мы приняли, что «3» соответствует $U_{н.п}$, то (1.4) описывает статическую передаточную характеристику обыкновенного двоичного инвертора. В связи с этим для реализации функций x^σ можно предложить схему на рис. 1.1, содержащую два КМОП-транзистора с индуцированными каналами VT_1 и VT_2 , включенных последовательно между шинами питания. Она подробно описана в литературе как двоичный инвертор, модель которого уже разработана. Воспользуемся готовыми результатами, приведенными, например, в [34].

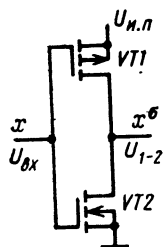


Рис. 1.1. Пороговый детектор (1-й вариант)

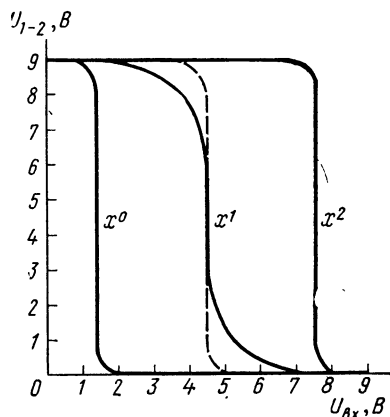


Рис. 1.2. Расчетные передаточные характеристики порогового детектора (рис. 1.1), реализующего функции: x^0 при $U_{пор\ n}=1$ В, $U_{пор\ p}=-6$ В, $\beta_{отн}=9$; x^1 при $U_{пор\ n}=-U_{пор\ p}=1$ В, $\beta_{отн}=1$; x^2 при $U_{пор\ n}=-6$ В, $U_{пор\ p}=-1$ В, $\beta_{отн}=0,1(1)$

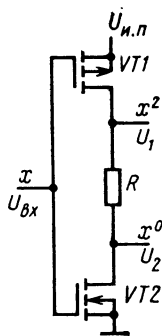


Рис. 1.3. Пороговый детектор (2-й вариант)

На статической передаточной характеристике порогового детектора можно выделить пять участков, соответствующих различным областям ВАХ транзисторов VT1 и VT2.

Участок 1. Транзистор VT1 открыт, а VT2 закрыт. Выходное напряжение

$$U_{1-2} = U_{и.п.} \quad (1.5)$$

Участок 2. Оба транзистора открыты, причем VT1 работает в линейной области, а VT2 — в области насыщения, тогда

$$U_{1-2} = U_{и.п.} - W + \sqrt{W^2 - \beta_{отн} V^2}, \quad (1.6)$$

где $\beta_{отн} = \beta_n / \beta_p$.

Участок 3. Транзисторы VT1 и VT2 открыты и находятся в насыщении. Входное напряжение

$$U_{вх} = (U_{и.п.} + U_{пор\ n} \sqrt{\beta_{отн}} + U_{пор\ p}) / (1 + \sqrt{\beta_{отн}}). \quad (1.7)$$

Участок 4. Оба транзистора открыты, причем VT1 насыщен, а VT2 работает в линейной области. При этом

$$U_{1-2} = V - \sqrt{V^2 - W^2 / \beta_{отн}}. \quad (1.8)$$

Участок 5. Транзистор VT1 закрыт, а VT2 открыт. Выходное напряжение

$$U_{1-2} = 0. \quad (1.9)$$

Таким образом, статическую передаточную характеристику порогового детектора можно описывать как соотношением (1.4), так и моделью, определяемой выражениями (1.5) — (1.9). Учитывая, что напряжение $U_{и.п}/6$ соответствует сигналу «0,5», и полагая, что

$U(\sigma)$ представляет собой логический уровень σ , совместим эти два описания. Из (1.4) и (1.7) следует, что

$$U(\sigma) + U_{и.п}/6 = (U_{и.п} + U_{пор n} \sqrt{\beta_{отн}} + U_{пор p}) / (1 + \sqrt{\beta_{отн}}). \quad (1.10)$$

Решая (1.10) относительно $\beta_{отн}$, получаем

$$\beta_{отн} = [5U_{и.п}/6 - U(\sigma) + U_{пор p}]^2 / [U_{и.п}/6 + U(\sigma) - U_{пор n}]^2. \quad (1.11)$$

Соотношение (1.11) устанавливает условия реализации пороговых функций (1.4) в виде схемы, приведенной на рис. 1.1. Рассмотрим конкретные случаи.

Реализация пороговой функции x^0 . Полагая $\sigma=0$, т. е. $U(\sigma)=0$, из (1.11) имеем

$$\beta_{отн} = (5U_{и.п}/6 + U_{пор p})^2 / (U_{и.п}/6 - U_{пор n})^2; \quad (1.12)$$

$$U_{пор n} < U_{и.п}/6; \quad U_{пор p} > -5U_{и.п}/6.$$

Реализация пороговой функции x^1 . Для этого случая $\sigma=1$, т. е. $U(\sigma)=U_{и.п}/3$. Из (1.11) следует, что

$$\beta_{отн} = (U_{и.п}/2 + U_{пор p})^2 / (U_{и.п}/2 - U_{пор n})^2; \quad (1.13)$$

$$U_{пор n} < U_{и.п}/2; \quad U_{пор p} > -U_{и.п}/2.$$

Реализация пороговой функции x^2 . Принимая $\sigma=2$, т. е. $U(\sigma)=2U_{и.п}/3$, получаем

$$\beta_{отн} = (U_{и.п}/6 + U_{пор p})^2 / (5U_{и.п}/6 - U_{пор n})^2; \quad (1.14)$$

$$U_{пор n} < 5U_{и.п}/6; \quad U_{пор p} > -U_{и.п}/6.$$

На рис. 1.2 изображены расчетные передаточные характеристики порогового детектора при $U_{и.п}=9$ В. Пример реализации функции x^1 может показаться неудовлетворительным, так как передаточная характеристика заметно отклоняется от идеальной. Однако он потребует в дальнейшем. Передаточная характеристика может быть улучшена: достаточно увеличить пороговые напряжения транзисторов. Например, приняв $U_{пор n} = -U_{пор p} = 3,5$ В, получим передаточную характеристику, показанную на рис. 1.2 штриховой линией.

Описанные выше реализации элементарных пороговых функций возможны при различных соотношениях пороговых напряжений транзисторов и $\beta_{отн}$. Но если при реализации пороговой функции x^1 допускаются одинаковые требования к транзисторам: $\beta_{отн}=1$, $U_{пор n} = -U_{пор p}$, то при реализации пороговых функций x^0 и x^2 в виде схемы на рис. 1.1 эти условия неприемлемы. Между тем по технологическим соображениям именно эти условия (или, по крайней мере, близкие к ним) желательны. Поэтому для пороговых функций x^0 и x^2 рассмотрим другой вариант реализации.

На рис. 1.3 показана схема порогового детектора, реализующего пороговые функции x^0 и x^2 при одинаковых требованиях к параметрам транзисторов. Схема отличается от описанной выше

только наличием резистора, включенного между стоками транзисторов VT1 и VT2. Она имеет два выхода: указанные пороговые функции реализуются одновременно.

Рассмотрим передаточные характеристики порогового детектора. При изменении $U_{вх}$ от 0 до $U_{н.п}$ на них можно выделить пять участков.

Участок 1. Транзистор VT1 открыт, а VT2 закрыт. Выходные напряжения

$$U_1 = U_2 = U_{н.п}. \quad (1.15)$$

Участок 2. Оба транзистора открыты, причем VT1 работает в линейной области, а VT2 насыщен. Исходя из (1.1) и (1.2), можно записать

$$U_1 = U_2 - R\beta_p W (U_1 - U_{н.п}) - R\beta_p (U_1 - U_{н.п})^2/2; \quad (1.16)$$

$$U_2 = U_1 - R\beta_n V^2/2.$$

Представим первое уравнение (1.16) в виде

$$R\beta_p (U_1 - U_{н.п})^2/2 + \quad (1.17)$$

$$+ (R\beta_p W + 1) (U_1 - U_{н.п}) + U_{н.п} - U_2 = 0.$$

Решая (1.17) относительно U_1 , получаем

$$U_1 = U_{н.п} - \frac{R\beta_p W + 1}{R\beta_p} + \frac{1}{R\beta_p \sqrt{(R\beta_p W + 1)^2 - 2R\beta_p (U_{н.п} - U_2)}}. \quad (1.18)$$

Оценим порядки величин подкоренного выражения. Величина $2R\beta_p (U_{н.п} - U_2)$ достигает максимума при $U_2 \approx 0$. На рассматриваемом участке значение входного сигнала незначительно превышает $U_{пор n}$, поэтому можно предположить, что

$$U_{пор n} \leq U_{вх} \leq U_{н.п}/3. \quad (1.19)$$

Следовательно, учитывая (1.19), можно оценить W как величину порядка $2U_{н.п}/3$. Поскольку имеется определенная свобода выбора номинала резистора R , примем

$$R\beta_p = 10 \text{ В}^{-1}. \quad (1.20)$$

При этих условиях

$$2R\beta_p (U_{н.п} - U_2) \leq 0,05 (R\beta_p W + 1)^2. \quad (1.21)$$

Теперь избавимся от радикала в выражении (1.18), разложив его в ряд Тейлора и ограничившись двумя первыми членами. Получим

$$U_1 = U_{н.п} (1 - 1/(R\beta_p W + 1)) + U_2/(R\beta_p W + 1). \quad (1.22)$$

При переходе от точного решения (1.18) к приближенному (1.22) с учетом (1.21) вносится погрешность менее 0,1%. Допуская еще

незначительное увеличение погрешности решения, можно принять

$$U_1 = U_{н.п} (1 - 1/R\beta_p W) + U_2/R\beta_p W. \quad (1.23)$$

Решаем (1.23) совместно со вторым уравнением (1.16):

$$U_1 = U_{н.п} - \beta_{отн} V^2/2 W; \quad (1.24)$$

$$U_2 = U_{н.п} - R\beta_n V^2 (1 + 1/R\beta_p W)/2. \quad (1.25)$$

В дальнейшем будем приводить только конечные результаты, опуская выкладки.

Участок 3. Оба транзистора открыты и работают в линейной области:

$$U_1 = U_{н.п} (1 - 1/R\beta_p W); \quad (1.26)$$

$$U_2 = U_{н.п}/R\beta_n V. \quad (1.27)$$

Участок 4. Оба транзистора открыты. Транзистор VT1 насыщен, а VT2 работает в линейной области. При этом

$$U_1 = R\beta_p W^2/2 (1 + 1/R\beta_n V); \quad (1.28)$$

$$U_2 = W^2/2\beta_{отн} V. \quad (1.29)$$

Участок 5. Транзистор VT1 закрыт, а VT2 открыт. Выходные напряжения

$$U_1 = U_2 = 0. \quad (1.30)$$

Из (1.4) и полученной модели (1.15), (1.20), (1.24) — (1.30) определим условия реализации пороговых функций x^0 и x^2 схемой на рис. 1.3 в следующем виде:

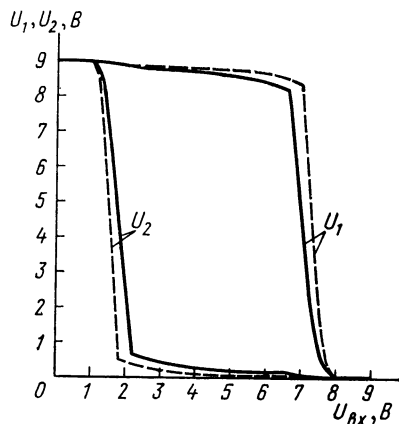
$$\begin{aligned} U_{порн} < U_{н.п}/6; \quad U_{порр} > -U_{н.п}/6; \\ R\beta_n \geq 10 \text{ В}^{-1}; \quad R\beta_p \geq 10 \text{ В}^{-1}. \end{aligned} \quad (1.31)$$

На рис. 1.4 показаны расчетные передаточные характеристики порогового детектора.

Таблица 1.2. Упрощенная модель передаточных характеристик порогового детектора (рис. 1.3)

Номер участка	U_1	U_2
1	$U_{н.п}$	$U_{н.п}$
2	$U_{н.п}$	$U_{н.п} - R\beta_n V^2/2$
3	$U_{н.п}$	0
4	$R\beta_p W^2/2$	0
5	0	0

Рис. 1.4. Расчетные передаточные характеристики порогового детектора (рис. 1.3) при $U_{н.п} = 9 \text{ В}$; $U_{порн} = -U_{порр} = 1 \text{ В}$; $\beta_{отн} = 1$; $R\beta = 10 \text{ В}^{-1}$ (сплошная линия); $R\beta = 20 \text{ В}^{-1}$ (штриховая линия)



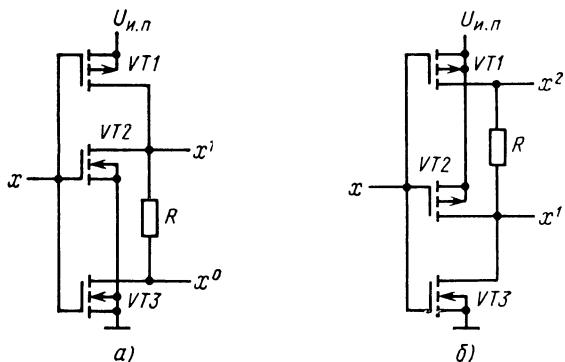


Рис. 1.5. Варианты совместной реализации двух пороговых функций

Учитывая большое значение параметра $R\beta$, описанную выше модель передаточных характеристик порогового детектора можно упростить. Упрощенная модель приведена в табл. 1.2. Она может оказаться полезной для качественного описания работы детектора.

Таким образом, весь набор элементарных пороговых функций может быть реализован довольно просто. Действительно, пороговые детекторы относят к простейшим элементам четырехзначной логики, что справедливо, так как для реализации любых двух элементарных пороговых функций требуется не более трех МОП-транзисторов (рис. 1.5, а, б).

Рассмотрим также реализацию другой системы элементарных пороговых функций, которые, как упоминалось ранее, представляют собой инверсию уже рассмотренных. Поскольку все элементарные пороговые функции принимают два значения «3» и «0», то и при этом варианте определения их реализация не вызывает затруднений: достаточно в схемах на рис. 1.1 и 1.3 использовать на выходах двочные инверторы. Однако это не лучшее решение. На рис. 1.6, а—в показано, как можно осуществить инверсию, чтобы

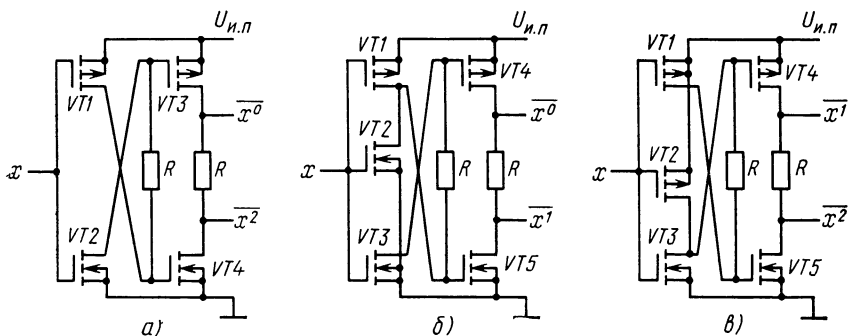


Рис. 1.6. Варианты порогового детектора

любые две из описанных пороговых функций инвертировать с помощью одной пары КМОП-транзисторов, т. е. с минимальными аппаратными затратами.

Полученные таким образом пороговые детекторы более сложные и уступают описанным выше по быстродействию. А поскольку выполняемые ими операции не имеют каких-либо преимуществ, то на практике рекомендуется использовать элементарные пороговые функции, приведенные в табл. 1.1.

1.2. АЛФАВИТНЫЕ ДЕТЕКТОРЫ

Алфавитным детектором будем называть логический элемент, реализующий характеристическую функцию. По определению (см. табл. 1.1) в четырехзначной логике четыре характеристические функции $\delta_\sigma(x)$, $\sigma=0, 1, 2, 3$:

$$\delta_\sigma(x) = \begin{cases} 3, & \text{если } X = \sigma; \\ 0, & \text{если } X \neq \sigma. \end{cases} \quad (1.32)$$

Существует и другой вариант определения, согласно которому характеристические функции представляют собой инверсию приведенных в табл. 1.1. Полный набор характеристических функций показан в табл. 1.3.

Видно, что характеристическая функция $\delta_0(x)$ совпадает с пороговой x^0 , а $\overline{\delta_3(x)}$ — с x^2 . Совпадают также соответственно характеристические функции $\overline{\delta_0(x)}$, $\delta_3(x)$ и пороговые $\overline{x^0}$ и $\overline{x^2}$. Следовательно, для реализации этих функций пригодны пороговые детекторы, описанные в § 1.1. Можно предположить, что любая характеристическая функция из табл. 1.3 реализуется схемой на основе определенным образом соединенных пороговых детекторов.

Рассмотрим схему на рис. 1.7. Она содержит пять МОП-транзисторов с индуцированными каналами и два резистора, причем транзисторы VT1 и VT3 имеют канал p -типа, а VT2, VT4 и VT5 — n -типа. Истоки и подложки всех транзисторов включены стандартным образом. Затворы транзисторов VT1—VT4 подсоединены ко входу схемы, стоки транзисторов VT1 и VT2 — к затвору транзистора VT5, а сток последнего — к выходу. Резисторы включены между стоками транзисторов VT3, VT4 и VT3 VT5 соответственно.

Таблица 1.3. Таблица истинности характеристических функций

x	$\delta_0(x)$	$\overline{\delta_0(x)}$	$\delta_1(x)$	$\overline{\delta_1(x)}$	$\delta_2(x)$	$\overline{\delta_2(x)}$	$\delta_3(x)$	$\overline{\delta_3(x)}$
0	3	0	0	3	0	3	0	3
1	0	3	3	0	0	3	0	3
2	0	3	0	3	3	0	0	3
3	0	3	0	3	0	3	3	0

Участок 5. Транзистор VT1 насыщен, VT2—VT4 работают в линейной области, VT5 закрыт. В этом случае

$$U_5 = U_{и.п} (1 - 1/R\beta_p W). \quad (1.35)$$

Участок 6. Транзисторы VT1, VT3 насыщены, VT2, VT4 работают в линейной области, VT5 закрыт. Выходное напряжение

$$U_5 = R\beta_p W^2/2 (1 + 1/R\beta_n V). \quad (1.36)$$

Участок 7. Транзисторы VT1, VT3 и VT5 закрыты, VT2 и VT4 открыты. При этом

$$U_5 = 0. \quad (1.37)$$

На рис. 1.8 показаны расчетные передаточные характеристики схемы на рис. 1.7, построенные по формулам (1.33)—(1.37). Они соответствуют графику характеристической функции $\delta_2(x)$. Следовательно, эта схема может быть использована как алфавитный детектор, реализующий характеристическую функцию $\delta_2(x)$. В качестве условий реализации следует принять (1.31).

По-видимому, не имеет смысла рассматривать реализацию каждой характеристической функции в отдельности. Обратимся к табл. 1.3. Вполне естественно считать ее таблицей истинности некоторого логического устройства, которое есть не что иное, как полный одноходовый четырехзначный дешифратор с парафазными выходами. Схема такого дешифратора (рис. 1.9) представляет собой несколько соединенных определенным образом пороговых детекторов и поэтому не поясняется.

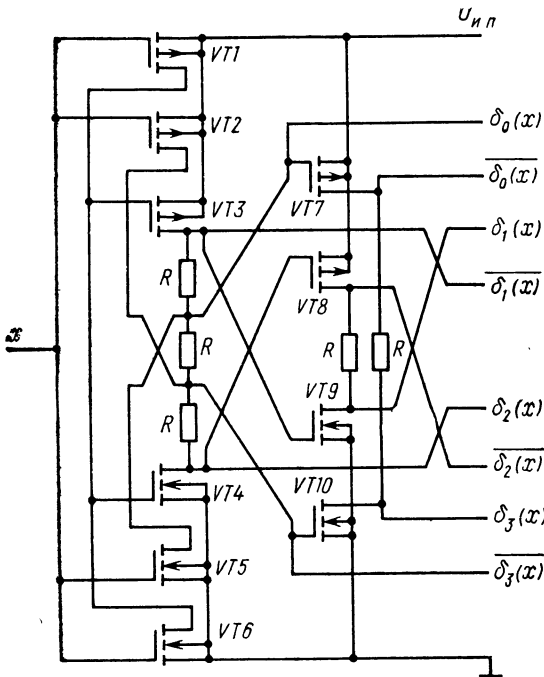


Рис. 1.9. Полный одноходовый четырехзначный дешифратор

Схема такого дешифратора (рис. 1.9) представляет собой несколько соединенных определенным образом пороговых детекторов и поэтому не поясняется.

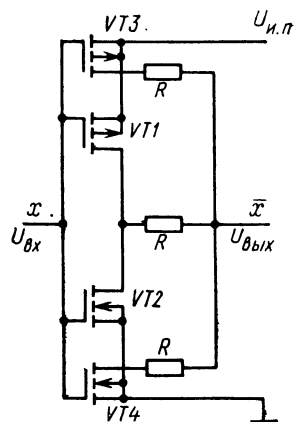


Рис. 1.10. Инвертор (1-й вариант)

Таким образом, хотя алфавитные детекторы в целом и сложнее пороговых, аппаратурные затраты, необходимые для реализации всех характеристических функций, все же невелики: они не превышают пяти пар КМОП-транзисторов.

1.3. ИНВЕРТОРЫ

Инвертором в четырехзначной логике называют элемент, выполняющий операцию

$$\bar{x} = 3 - X. \quad (1.38)$$

Можно предложить несколько вариантов реализации операции (1.38). Один из них показан на рис. 1.10. Инвертор содержит две пары КМОП-транзисторов с индуцированными каналами (VT1—VT4) и три резистора одного номинала. Истоки и подложки всех транзисторов включены стандартно, а затворы соединены вместе и образуют вход инвертора. Стоки транзисторов VT1 и VT2 соединены и подключены к выходу инвертора со стоками транзисторов VT3 и VT4 через резисторы.

Статическая передаточная характеристика инвертора содержит семь участков, соответствующих различным областям ВАХ транзисторов VT1—VT4.

Участок 1. Транзисторы VT1, VT3 открыты, а VT2, VT4 закрыты. Выходное напряжение

$$U_{\text{вых}} = U_{\text{и.п.}} \quad (1.39)$$

Участок 2. Открыты все транзисторы, причем транзисторы VT1, VT3 работают в линейной области, а VT2, VT4 насыщены. Имеем

$$U_{\text{вых}} = U_{\text{и.п.}} - R\beta_n V^2/4(1+2/R\beta_p W). \quad (1.40)$$

Участок 3. Транзисторы VT1, VT3 и VT4 работают в линейной области, транзистор VT2 насыщен, тогда

$$U_{\text{вых}} = \frac{2U_{\text{и.п.}}}{3} \left(1 - \frac{1}{3R\beta_p W} + \frac{1}{3R\beta_n V} \right) - \frac{\beta_{\text{отн}} V^2}{6W} \left(1 + \frac{2}{3R\beta_p W} + \frac{1}{3R\beta_n V} \right). \quad (1.41)$$

Участок 4. Транзисторы VT1, VT2 работают в области насыщения, VT3, VT4 — в линейной области. Выходное напряжение

$$U_{\text{вых}} = \frac{U_{\text{и.п.}}}{2} \left(1 - \frac{1}{2R\beta_p W} + \frac{1}{2R\beta_n V} \right) + \frac{R\beta_p}{4} (W^2 - \beta_{\text{отн}} V^2) \left(1 + \frac{1}{2R\beta_p W} + \frac{1}{2R\beta_n V} \right). \quad (1.42)$$

Участок 5. Транзистор VT1 насыщен, транзисторы VT2—VT4 работают в линейной области. При этом

$$U_{\text{вых}} = \frac{U_{\text{и.п.}}}{3} \left(1 - \frac{2}{3R\beta_p W} + \frac{2}{3R\beta_n V} \right) +$$

$$+ \frac{W^2}{6\beta_{отн} V} \left(1 + \frac{1}{3R\beta_p W} + \frac{2}{3R\beta_n V} \right). \quad (1.43)$$

Участок 6. Транзисторы VT1, VT3 насыщены, а VT2, VT4 работают в линейной области. Выходное напряжение

$$U_{вых} = R\beta_p W^2 (1 + 2/R\beta_n V)/4. \quad (1.44)$$

Участок 7. Транзисторы VT1, VT3 закрыты, VT2, VT4 открыты. Выходное напряжение

$$U_{вых} = 0. \quad (1.45)$$

Нетрудно убедиться, что график зависимости, определяемой выражениями (1.39) — (1.45), при условии (1.31) соответствует графику логической зависимости (1.38). Следовательно, схема на рис. 1.10 является схемой четырехзначного инвертора. В табл. 1.4 приведена упрощенная модель, описывающая передаточную характеристику этого инвертора.

Видно, что передаточная характеристика инвертора зависит от параметров транзисторов и сопротивления резисторов R .

При сравнении приведенные на рис. 1.11 расчетные передаточные характеристики показывают, что при изменении пороговых напряжений транзисторов сдвигаются вдоль оси $U_{вых}$ переходные участки между $U_{вых} = \langle 3 \rangle$ и $U_{вых} = \langle 2 \rangle$, а также $U_{вых} = \langle 1 \rangle$ и $U_{вых} = \langle 0 \rangle$. Так, при увеличении порогового напряжения транзистора VT4 сдвигается вправо переходной участок между $U_{вых} = \langle 3 \rangle$ и $U_{вых} = \langle 2 \rangle$, причем при значительном повышении этого напряжения, т. е. существенном нарушении условия (1.31), может произойти потеря состояния $U_{вых} = \langle 2 \rangle$. При увеличении порогового напряжения VT3 (по абсолютной величине) сдвигается переходной участок между $U_{вых} = \langle 1 \rangle$ и $U_{вых} = \langle 0 \rangle$ влево, вследствие чего возможна потеря состояния $U_{вых} = \langle 1 \rangle$.

Изменение параметра $R\beta$ влечет изменение наклона переходных участков, а при чрезмерном уменьшении также приводит к потере указанных состояний.

Влияние параметра $\beta_{отн}$ можно установить по передаточным характеристикам рассматриваемого инвертора (рис. 1.12). Зависи-

Таблица 1.4. Упрощенная модель передаточной характеристики инвертора (рис. 1.10)

Номер участка	$U_{вых}$
1	
2	$U_{и.п}$
3	$U_{и.п} - R\beta_n V^2/4$
4	$2U_{и.п}/3 - \beta_{отн} V^2/6W$
5	$U_{и.п}/2 + R\beta_p (W^2 - \beta_{отн} V^2)/4$
6	$U_{и.п}/3 + W^2/6\beta_{отн} V$
7	$R\beta_p W^2/4$
	0

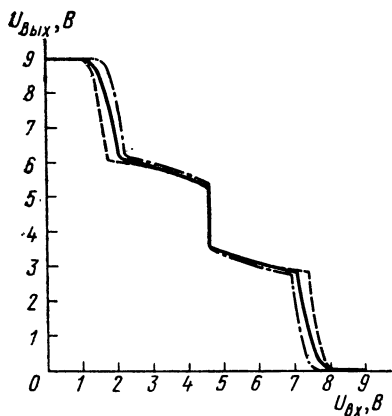


Рис. 1.11. Расчетные передаточные характеристики инвертора (рис. 1.10) при $U_{и.п}=9$ В; $\beta_{отн}=1$: $U_{пор\ n}=-U_{пор\ p}=1$ В; $R\beta=10^{-1}$ (сплошная линия); $U_{пор\ n}=-U_{пор\ p}=1$ В; $R\beta=-20$ В $^{-1}$ (штриховая линия); $U_{пор\ n}=-U_{пор\ p}=1,5'$ В; $R\beta=20'$ В $^{-1}$ (штрихпунктирная линия)

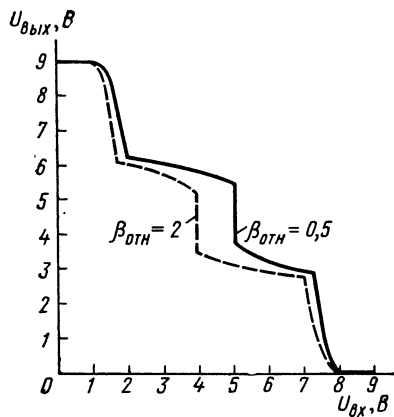


Рис. 1.12. Влияние параметра $\beta_{отн}$ на передаточную характеристику инвертора (рис. 1.10) при $U_{и.п}=9$ В; $U_{пор\ n}=U_{пор\ p}=1$ В; $R\beta_p=10$ В $^{-1}$

мость $U_{вых}(\beta_{отн})$ проявляется в перемещении переходного участка между $U_{вых}=\langle 2 \rangle$ и $U_{вых}=\langle 1 \rangle$ вдоль оси $U_{вх}$.

Для оценки полученной модели интересно также сравнить графики расчетной и экспериментальной передаточных характеристик. На рис. 1.13 показаны расчетная передаточная характеристика схемы на рис. 1.10 при $U_{и.п}=9$ В, $R\beta_n=10$ В $^{-1}$ и типовых значениях параметров транзисторов микросхемы серии 176: $U_{пор\ n}=1,5$ В; $\beta_n=0,4$ мА/В 2 ; $U_{пор\ p}=2,5$ В; $\beta_p=0,53$ мА/В 2 [12], и экспериментальная передаточная характеристика этой же схемы, выполненной на микросхеме типа 176ЛП1 при $R=25$ кОм. С учетом возможного разброса параметров, в частности $\Delta U_{пор\ n}=0,5$ В [12], согласование расчетных и экспериментальных данных можно считать удовлетворительным.

На графиках передаточных характеристик (см. рис. 1.11—1.13) видны заметные изменения выходного напряжения (порядка 0,5 В) для одного и того же состояния инвертора при $U_{вх}=\langle 1 \rangle$, и $U_{вх}=\langle 2 \rangle$, которые хотя и находятся в пределах допустимого, но все же нежелательны. Поэтому рассмотрим другой вариант реализации операции (1.38) [2].

Схема инвертора на рис. 1.14 имеет тот же компонентный состав, что и на рис. 1.10, и отличается только соединениями. Исток и подложки транзисторов VT3 и VT4 подсоединены к соответствующим шинам питания. Между стоками этих транзисторов включен делитель напряжения из трех последовательно соединенных резисторов R одного номинала. Исток и подложка транзистора VT1 с индуцированным каналом p -типа подключены к точ-

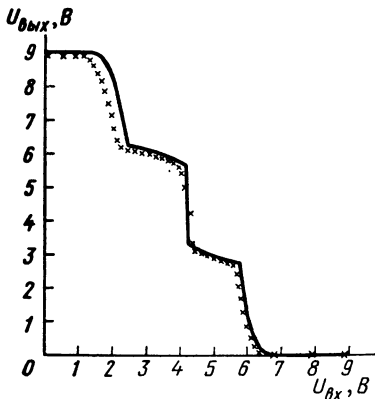


Рис. 1.13. Расчетная (сплошная линия) и экспериментальная передаточные характеристики инвертора (рис. 1.10)

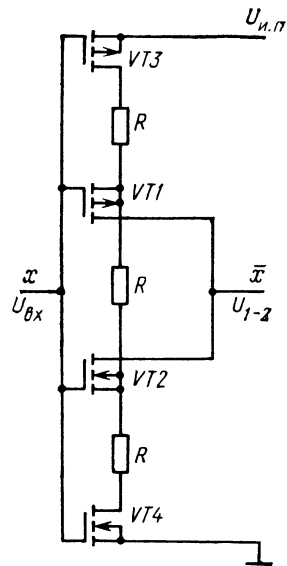


Рис. 1.14. Инвертор (2-й вариант)

ке соединения первого и второго резисторов делителя напряжения, имеющей более высокий потенциал, а исток и подложка транзистора VT2 с индуцированным каналом n -типа — к точке соединения второго и третьего резисторов делителя напряжения. Затворы всех транзисторов подсоединены к входу инвертора, а стоки транзисторов VT1—VT2 — к выходу.

Передаточная характеристика инвертора имеет девять участков, соответствующих различным областям работы транзисторов VT1—VT4.

Участок 1. Транзисторы VT1, VT3 открыты, VT2, VT4 закрыты. Выходное напряжение

$$U_{1-2} = U_{н.п.} \quad (1.46)$$

Участок 2. Транзисторы VT1, VT3 и VT4 открыты, транзистор VT2 закрыт. Транзистор VT3 работает в линейной области, а VT4 насыщен. Имеем

$$U_{1-2} = U_{н.п.} - R\beta_n V^2 / 2(1 + 1/R\beta_p W). \quad (1.47)$$

Участок 3. Транзистор VT1 открыт, VT2 закрыт, транзисторы VT3 и VT4 работают в линейной области, тогда

$$U_{1-2} = U_{н.п.} / 3 (2 - 2/3R\beta_p W + 1/3R\beta_n V). \quad (1.48)$$

Участок 4. Транзисторы VT1, VT3 и VT4 работают в линейной области, транзистор VT2 насыщен. При этом

$$U_{1-2} = U_1 - \beta_{отн} (V - U_2)^2 / 2(W + U_1 - U_{н.п.}), \quad (1.49)$$

где

$$U_1 = U_{н.п.} / 3 (2 - 2/3R\beta_p W + 1/3R\beta_n V); \quad (1.50)$$

$$U_2 = U_{н.п.} / 3 (1 - 1/3R\beta_p W + 2/3R\beta_n V). \quad (1.51)$$

Участок 5. Транзисторы VT1, VT2 насыщены, а VT3, VT4 работают в линейной области. Выходное напряжение U_{1-2} на этом участке претерпевает скачок при

$$U_{вх} = (U_1 + U_2 \sqrt{\beta_{отн}} + U_{порр} + U_{порл} \sqrt{\beta_{отн}}) / (1 + \sqrt{\beta_{отн}}). \quad (1.52)$$

Напряжения U_1 и U_2 определяются по (1.50) и (1.51).

Участок 6. Транзистор VT1 насыщен, транзисторы VT2—VT4 работают в линейной области. Выходное напряжение

$$U_{1-2} = U_2 + (W + U_1 - U_{и.п})^2 / 2\beta_{отн} (V - U_2), \quad (1.53)$$

где U_1 и U_2 рассчитываются по (1.50) и (1.51).

Участок 7. Транзистор VT1 закрыт, VT2 открыт, а транзисторы VT3 и VT4 работают в линейной области. При этом

$$U_{1-2} = U_{и.п} (1 - 1/3R\beta_p W + 2/3R\beta_n V) / 3. \quad (1.54)$$

Участок 8. Транзистор VT1 закрыт, транзисторы VT2—VT4 открыты, причем транзистор VT3 насыщен, а VT4 работает в линейной области. Выходное напряжение

$$U_{1-2} = R\beta_p W^2 (1 + 1/R\beta_n V) / 2. \quad (1.55)$$

Участок 9. Транзисторы VT1, VT3 закрыты, а VT2, VT4 открыты. Получаем

$$U_{1-2} = 0. \quad (1.56)$$

При реализации логической зависимости (1.38) с помощью выражений (1.46)—(1.56) следует учитывать условия (1.31). На рис. 1.15 показана расчетная передаточная характеристика инвертора (см. рис. 1.14). Заметно улучшение выходных сигналов инвертора при $U_{вх} = \langle 1 \rangle$ и $U_{вх} = \langle 2 \rangle$ по сравнению с инвертором на рис. 1.10.

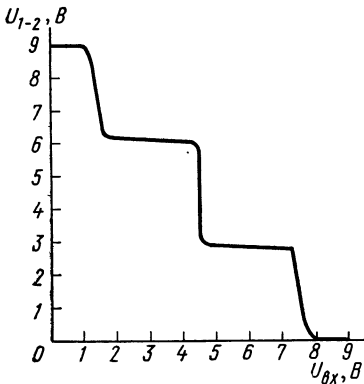


Рис. 1.15. Расчетная передаточная характеристика инвертора (рис. 1.14) при $U_{и.п} = 9$ В; $U_{порл} = -U_{порр} = 1$ В; $\beta_{отн} = 1$; $R\beta = 10$ В⁻¹

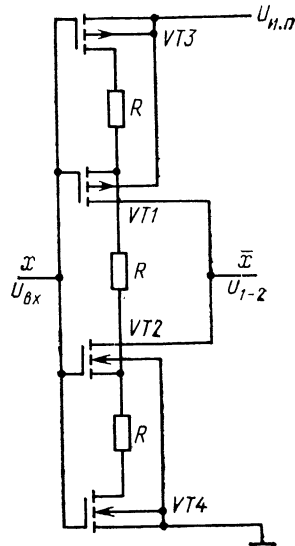


Рис. 1.16. Инвертор (модификация 2-го варианта)

Таблица 1.5. Упрощенная модель передаточной характеристики инвертора (рис. 1.14)

Номер участка	U_{1-2}
1	$U_{н.п}$
2	$U_{н.п} - R\beta_n V^2/2$
3	$2U_{н.п}/3$
4	$\frac{2U_{н.п}}{3} - \frac{\beta_{отн}(V - U_{н.п}/3)^2}{2(W - U_{н.п}/3)^2}$
5	Претерпевает скачок
6	$\frac{U_{н.п}}{3} + \frac{(W - U_{н.п}/3)^2}{2\beta_{отн}(V - U_{н.п}/3)}$
7	$U_{н.п}/3$
8	$R\beta_p W^2/2$
9	0

Тем не менее практическая реализация схемы на рис. 1.14 сопряжена с необходимостью изоляции подложек МОП-транзисторов с одинаковыми типами каналов, например VT2 и VT4, что совсем неудобно. В связи с этим отметим, что допускается модификация схемы, в которой подложки включены стандартным образом (рис. 1.16). При этом передаточная характеристика модифицированной схемы описывается той же моделью (1.46) — (1.56), однако условия реализации (1.31) в данном случае ужесточаются (это касается требований к пороговым напряжениям транзисторов VT1 и VT2):

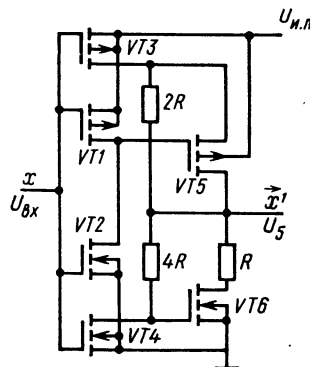
$$\begin{aligned} U_{пор}(VT1) &> -U_{н.п}/6 + \sqrt{U_{н.п}/12}; \\ U_{пор}(VT2) &< U_{н.п}/6 - \sqrt{U_{н.п}/12}. \end{aligned} \quad (1.57)$$

Упрощенная модель передаточной характеристики инвертора на рис. 1.14 (либо на рис. 1.16) приведена в табл. 1.5.

Таблица 1.6. Операции, выполняемые инвертором на рис. 1.14

Вход	Выходы				
	Сток VT1 (VT2)	Исток		Сток	
		VT1	VT2	VT3	VT4
«0»	«3»	«3»	«3»	«3»	«3»
«1»	«2»	«2»	«1»	«3»	«0»
«2»	«1»	«2»	«1»	«3»	«0»
«3»	«0»	«0»	«0»	«0»	«0»

Рис. 1.17. Циклический инвертор \vec{x}^1



В заключение отметим, что операцией инверсии не исчерпываются все возможности описанных схем инверторов. Так, инвертор на рис. 1.10 помимо основной операции (1.38) одновременно реализует все элементарные пороговые функции четырехзначной логики: x^0 (на стоке транзистора VT4), x^1 (на соединенных стоках транзисторов VT1 и VT2) и x^2 (на стоке транзистора VT3). Каждая из двух других схем инвертора (см. рис. 1.14 или 1.16) реализует дополнительно к инверсии еще четыре функции: две пороговые x^0 и x^2 , а также две, не имеющие специальных названий. Полный список операций, выполняемых инвертором на рис. 1.14 (либо рис. 1.16), приведен в табл. 1.6.

1.4. ЦИКЛИЧЕСКИЕ ИНВЕРТОРЫ

В многозначной логике используется также инверсия другого вида:

$$\vec{x}^\sigma = (X + \sigma) \bmod k. \quad (1.58)$$

Логические элементы, выполняющие операцию (1.58), называются циклическими инверторами. В четырехзначной логике возможны три операции циклической инверсии (см. табл. 1.1). Следовательно, можно построить три типа циклических инверторов.

На рис. 1.17 показана схема циклического инвертора x^1 . Он содержит три соединенных звездой резистора с сопротивлениями R - $2R$ - $4R$ и три пары КМОП-транзисторов VT1—VT6 с индуцированными каналами. Истоки и подложки транзисторов подключены к соответствующим шинам питания, за исключением транзистора VT5 с каналом p -типа, исток которого соединен со стоком p -канального транзистора VT3 и резистором $2R$, а сток — с точкой соединения резисторов и выходом инвертора. Затворы транзисторов VT1—VT4 соединены с выходом инвертора. Стоки VT1 и VT2 подключены к затвору VT5, сток VT4 с каналом n -типа подсоединен к резистору $4R$ и затвору n -канального транзистора VT6, сток которого подключен к резистору R .

Передаточная характеристика циклического инвертора может быть разбита на 12 участков.

Участок 1. Транзисторы VT1, VT3 и VT6 открыты, VT2, VT4 и VT5 закрыты. Транзисторы VT3 и VT6 работают в линейной области. Выходное напряжение

$$U_s = \frac{U_{и.п}}{3} \times \left\{ 1 - \frac{1}{3R\beta_p W} + \frac{2}{R\beta_n [U_{и.п} (1 - 1/3R\beta_p W) - 3U_{порн}]} \right\}. \quad (1.59)$$

Участок 2. Транзисторы VT1, VT3 и VT6 работают в линейной области, VT2 и VT4 насыщены. Транзистор VT5 закрыт. В этом случае

$$U_5 = \frac{1}{3} \left[U_{и.п} \left(1 - \frac{1}{3R\beta_p W} \right) - R\beta_n V^2 \left(1 + \frac{1}{6R\beta_p W} \right) \right] \times \\ \times \left\{ 1 + \frac{2}{R\beta_n \left[U_{и.п} \left(1 - \frac{1}{3R\beta_p W} \right) - 3U_{порн} - \right.} \rightarrow \right. \\ \left. \rightarrow \frac{1}{-R\beta_n V^2 \left(7 + \frac{1}{6R\beta_p W} \right) \right]} \right\}. \quad (1.60)$$

Участок 3. Транзисторы VT1, VT3 работают в линейной области, VT2, VT4 и VT6 насыщены, транзистор VT5 закрыт, тогда

$$U_5 = \frac{1}{5} \left(1 - \frac{2}{5R\beta_p W} \right) \left[U_{и.п} + 7R\beta_n V^2 \left(1 + \frac{1}{2R\beta_p W} \right) + \right. \\ \left. + 2U_{порн} \left(2 + \frac{1}{R\beta_p W} \right) + \frac{4}{R\beta_n} \right]. \quad (1.61)$$

Участок 4. Транзисторы VT1 и VT3 работают в линейной области, VT2 и VT4 насыщены, VT5 и VT6 закрыты. При этом

$$U_5 = U_{и.п} - R\beta_n V^2 (1 + 1/2R\beta_p W). \quad (1.62)$$

Участок 5. Транзисторы VT1, VT3 и VT4 работают в линейной области, транзистор VT2 насыщен, транзисторы VT5 и VT6 закрыты. Выходное напряжение

$$U_5 = 2U_{и.п}/3 (1 - 1/6R\beta_p W + 1/12R\beta_n V). \quad (1.63)$$

Участок 6. Транзисторы VT1, VT3 и VT4 работают в линейной области, VT2 и VT5 насыщены, транзистор VT6 закрыт. Получаем

$$U_5 = 2W (U_{и.п} + R\beta_p W_{1-2}^2) / (3W + W_{1-2}), \quad (1.64)$$

где $W_{1-2} = U_{и.п} - U_{1-2} + U_{порп}$, причем U_{1-2} определяется по (1.6).

Участок 7. Транзисторы VT1, VT3—VT5 работают в линейной области, транзистор VT2 насыщен, а VT6 закрыт. Выходное напряжение

$$U_5 = U_{и.п} (1 - 1/4R\beta_p W_{1-2} - 1/4R\beta_p W). \quad (1.65)$$

При вычислении W_{1-2} для определения U_{1-2} следует пользоваться соотношением (1.6).

Участок 8. Транзисторы VT1, VT2 насыщены, VT3—VT5 работают в линейной области, транзистор VT6 закрыт. Напряжение U_5 на выходе циклического инвертора описывается выражением (1.65). Рассматриваемый участок сводится к одной точке $U_{вх}$, которая определяется соотношением (1.7). Обозначим ее $U_{кр}$. При этом выходное напряжение U_5 , как и U_{1-2} , претерпевает скачок. Здесь следует вычислять два значения U_5 при $U_{вх} = U_{кр}$, определяя при расчете W_{1-2} напряжение U_{1-2} сначала по (1.6), а затем по (1.8).

Участок 9. Транзистор VT1 насыщен, транзисторы VT2—VT5 работают в линейной области, транзистор VT6 закрыт. Выходное

напряжение U_5 также описывается выражением (1.65). При нахождении W_{1-2} для вычисления U_{1-2} следует пользоваться соотношением (1.8).

Участок 10. Транзисторы VT1, VT3 насыщены, VT2, VT4 и VT5 работают в линейной области, транзистор VT6 закрыт. Выходное напряжение

$$U_5 = 2R\beta_p W^2 (1 + 1/4R\beta_n V). \quad (1.66)$$

Участок 11. Транзисторы VT1, VT3 и VT5 насыщены, VT2, VT4 работают в линейной области, транзистор VT6 закрыт.

Выходное напряжение U_5 определяют по (1.66).

Участок 12. Транзисторы VT1, VT3, VT5 и VT6 закрыты, VT2 и VT4 открыты. Выходное напряжение

$$U_5 = 0. \quad (1.67)$$

Упрощенная модель передаточной характеристики приведена в табл. 1.7. В качестве условий реализации можно принять (1.31).

На рис. 1.18 показана передаточная характеристика инвертора \vec{x}^1 (сплошная линия), рассчитанная по формулам (1.59)—(1.67). Как видно, она вполне соответствует реализуемой операции $(X+1) \bmod 4$, идеальный график которой для сравнения изображен на рис. 1.18 штриховой линией.

Рассмотрим операцию $(X+2) \bmod 4$. Циклический инвертор \vec{x}^2 , реализующий эту операцию, можно выполнить по схеме, представленной на рис. 1.19. Она содержит три пары КМОП-транзисторов VT1—VT6 с индуцированными каналами и три резистора. Истоки и подложки всех транзисторов включены стандартным образом. Затворы транзисторов VT1—VT4 соединены вместе и образуют вход инвертора. Затворы транзисторов VT5, VT6 подключены соответственно к стокам транзисторов VT1 и VT2 так, что соединены затворы и стоки транзисторов с одноименными типами каналов. Между стоками транзисторов VT1 и VT2 включен

Таблица 1.7. Упрощенная модель передаточной характеристики циклического инвертора (рис. 1.17)

Номер участка	U_5
1	$U_{н.п}/3$
2	$(U_{н.п} - R\beta_n V^2)/3$
3	$(V_{н.п} + 7R\beta_n V^2 + 4U_{пор.п})/5$
4	$U_{н.п} - R\beta_n V^2$
5	$2U_{н.п}/3$
6	$\frac{2W[U_{н.п} + R\beta_p(W + U_{пор.п} - \sqrt{W^2 - \beta_{отн}V^2})^2]}{4W + U_{пор.п} - \sqrt{W^2 - \beta_{отн}V^2}}$
7—9	$U_{н.п}$
10, 11	$2R\beta_p W^2$
12	0

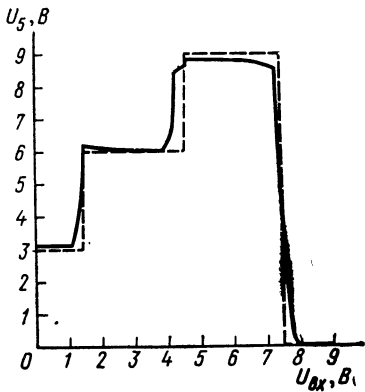


Рис. 1.18. Расчетная передаточная характеристика циклического инвертора (рис. 1.17) при $U_{и.п} = 9$ В; $U_{пор\ n} = -U_{пор\ p} = 1$ В; $\beta_{отн} = 1$; $R\beta = 10$ В⁻¹

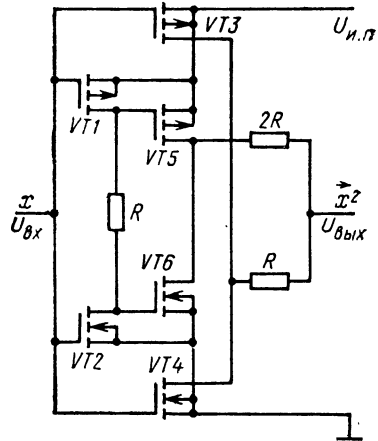


Рис. 1.19. Циклический x^2 (1-й вариант)

первый резистор. Второй и третий резисторы (R и $2R$) соединены последовательно и подключены к стокам МОП-транзисторов VT_3 , VT_4 и VT_5 , VT_6 соответственно. Точка соединения второго и третьего резисторов является выходом инвертора.

На передаточной характеристике схемы на рис. 1.19 можно выделить 11 участков, соответствующих различным областям ВАХ транзисторов VT_1 — VT_6 .

Участок 1. Транзисторы VT_1 , VT_3 и VT_6 открыты, VT_2 , VT_4 и VT_5 закрыты. Транзисторы VT_3 , VT_6 работают в линейной области. Выходное напряжение

$$U_{\text{вых}} = U_{и.п} (2 - 2/3R\beta_p W + 1/3R\beta_n V_2) / 3, \quad (1.68)$$

где $V_2 = U_2 - U_{пор\ n}$, причем U_2 определяется по (1.15).

Участок 2. Транзисторы VT_1 , VT_3 и VT_6 работают в линейной области, VT_2 , VT_4 насыщены, транзистор VT_5 закрыт. Выходное напряжение

$$U_{\text{вых}} = \frac{U_{и.п}}{3} \left(2 - \frac{2}{3R\beta_p W} + \frac{1}{3R\beta_n V_2} \right) - \frac{\beta_{отн} V^2}{3W} \left(1 + \frac{2}{3R\beta_p W} + \frac{1}{6R\beta_n V_2} \right). \quad (1.69)$$

При вычислении V_2 для определения U_2 следует использовать (1.25).

Участок 3. Транзисторы VT_1 , VT_3 работают в линейной области, VT_2 , VT_4 и VT_6 насыщены, транзистор VT_5 закрыт. Имеем

$$U_{\text{вых}} = U_{и.п} - \left(\frac{R\beta_n V_2^2}{2} + \frac{\beta_{отн} V^2}{2W} \right) \left(1 + \frac{1}{R\beta_p W} \right). \quad (1.70)$$

Величина V_2 определяется так же, как на участке 2.

Участок 4. Транзисторы VT1, VT3 работают в линейной области, VT2, VT4 — в области насыщения, VT5, VT6 закрыты. В этом случае

$$U_{\text{вых}} = U_{\text{и.п}} - W + \sqrt{W^2 - \beta_{\text{отн}} V^2}. \quad (1.71)$$

Участок 5. По сравнению с участком 4 меняется только режим работы транзистора VT2, который на участке 5 работает в линейной области ВАХ. Выходное напряжение описывается выражением (1.71).

Участок 6. Транзисторы VT1, VT2 работают в линейной области, VT3, VT4 насыщены, VT5, VT6 закрыты. Выходное напряжение претерпевает скачок при $U_{\text{вх}}$, определяемом (1.7).

Участок 7. Транзисторы VT1, VT2 и VT4 работают в линейной области, транзистор VT3 насыщен, транзисторы VT5, VT6 закрыты. Выходное напряжение

$$U_{\text{вых}} = V - \sqrt{V^2 - W^2/\beta_{\text{отн}}}. \quad (1.72)$$

Участок 8. Отличается от участка 7 тем, что транзистор VT1 насыщен. Выходное напряжение определяется соотношением (1.72).

Участок 9. Транзисторы VT1, VT3 и VT5 насыщены, VT2 и VT4 работают в линейной области, транзистор VT6 закрыт. При этом

$$U_{\text{вых}} = (R\beta_p W_1^2/2 + W^2/2\beta_{\text{отн}} V)(1 + 1/R\beta_n V), \quad (1.73)$$

где $W_1 = U_{\text{и.п}} - U_1 + U_{\text{пор } p}$, причем U_1 определяется по (1.28).

Участок 10. Транзисторы VT1, VT3 насыщены, VT2, VT4 и VT5 работают в линейной области, транзистор VT6 закрыт. Выходное напряжение

$$U_{\text{вых}} = \frac{U_{\text{и.п}}}{3} \left(1 - \frac{1}{3R\beta_p W_1} + \frac{2}{3R\beta_n V} \right) + \frac{W^2}{3\beta_{\text{отн}} V} \left(1 + \frac{1}{6R\beta_p W_1} + \frac{2}{3R\beta_n V} \right). \quad (1.74)$$

Величина W_1 рассчитывается так же, как на участке 9.

Участок 11. Транзисторы VT1, VT3 и VT6 закрыты, VT2, VT4 и VT5 открыты. Транзисторы VT4, VT5 работают в линейной области, тогда

$$U_{\text{вых}} = U_{\text{и.п}}/3(1 - 1/3R\beta_p W_1 + 2/3R\beta_n V), \quad (1.75)$$

где $W_1 = U_{\text{и.п}} + U_{\text{пор } p}$, так как на этом участке $U_1 = 0$.

Упрощенная модель передаточной характеристики циклического инвертора x^2 , выполненного по схеме на рис. 1.19, приведена в табл. 1.8. Условия реализации можно принять в виде (1.31). Расчетная передаточная характеристика, построенная по соотношениям (1.68) — (1.75), изображена на рис. 1.20 сплошной линией. Нетрудно видеть, что полученная передаточная характеристика заметно отклоняется от идеального графика (штриховая линия) функциональной зависимости $(X+2) \bmod 4$ на участке $U_{\text{вх}} = \langle 1 \rangle$ и $U_{\text{вх}} = \langle 2 \rangle$. В связи с этим целесообразно рассмотреть другие схемотехнические решения.

Таблица 1.8. Упрощенная модель передаточной характеристики циклического инвертора (рис. 1.19)

Номер участка	$U_{\text{ВЫХ}}$
1	$\frac{2U_{\text{н.п}}}{3}$
2	$\frac{2U_{\text{н.п}}}{3} - \beta_{\text{отн}} V^2 / 3W$
3	$U_{\text{н.п}} + \frac{\beta_{\text{отн}} V^2}{2W} - \frac{R\beta_{\text{п}}}{4} [2(U_{\text{н.п}} - V_{\text{пор п}}) - R\beta_{\text{п}} V^2]^2$
4, 5	$U_{\text{н.п}} - W + \sqrt{W^2 - \beta_{\text{отн}} V^2}$
6	Претерпевает скачок
7, 8	$V - \sqrt{V^2 - W^2 / \beta_{\text{отн}}}$
9	$\frac{W^2}{2\beta_{\text{отн}} V} + \frac{1}{4} [2(U_{\text{н.п}} + U_{\text{пор п}}) - R\beta_{\text{п}} W^2]^2$
10	$U_{\text{н.п}} / 3 + W^2 / 3\beta_{\text{отн}} V$
11	$U_{\text{н.п}} / 3$

На рис. 1.21 показан еще один вариант циклического инвертора x^2 [7]. Инвертор содержит четыре резистора и три пары КМОП-транзисторов VT1—VT6, у которых истоки и подложки подсоединены к соответствующим шинам питания (за исключением транзисторов VT5 и VT6, составляющих комплементарную пару). Затворы транзисторов VT1, VT2 и VT5, VT6 соединены вместе и об-

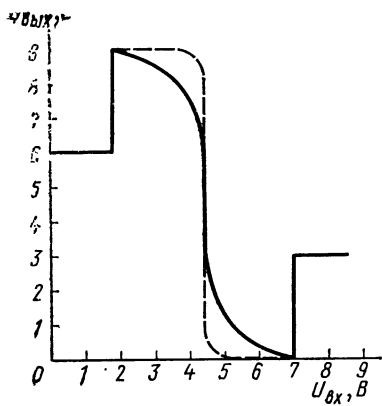


Рис. 1.20. Расчетная передаточная характеристика циклического инвертора (рис. 1.19) при $U_{\text{н.п}}=9$ В; $U_{\text{пор п}}=-U_{\text{пор п}}=1$ В; $\beta_{\text{отн}}=1$; $R\beta=20$ В⁻¹

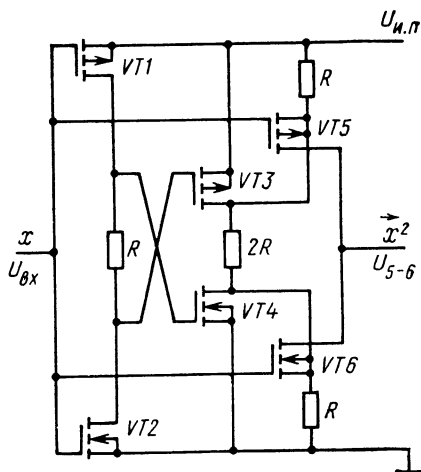


Рис. 1.21. Циклический инвертор x^2 (2-й вариант)

разуют вход инвертора, выход которого подключен к стокам транзисторов VT5 и VT6. Сток транзистора VT1 с каналом p -типа подсоединен к затвору транзистора VT4 с противоположным типом проводимости канала и через первый резистор R к стоку транзистора VT2 и затвору транзистора VT3, которые имеют каналы соответственно n - и p -типа. Сток транзистора VT3 соединен с истоком и подложкой транзистора VT5, имеющего такой же тип проводимости канала, и далее через второй резистор — с шиной питания, а через третий резистор — со стоком транзистора VT4, истоком и подложкой транзистора VT6, которые, в свою очередь, подключены к общей шине через четвертый резистор. Номиналы второго, третьего и четвертого резисторов соотносятся как $R-2R-R$.

Передаточную характеристику описанной схемы можно разделить на 13 участков.

Участок 1. Транзисторы VT1, VT4 и VT5 открыты, VT2, VT3 и VT6 закрыты. Транзистор VT4 работает в линейной области. Выходное напряжение

$$U_{5-6} = U_{и.п} (2 + 1/3R\beta_n V_1)/3, \quad (1.76)$$

где $V_1 = U_{и.п} - U_{пор\ n}$.

Участок 2. Транзисторы VT1, VT2, VT4 и VT5 открыты, VT3 и VT6 закрыты. Транзисторы VT1 и VT4 работают в линейной области, транзистор VT2 насыщен. Выходное напряжение определяется выражением (1.76), а при вычислении V_1 для U_1 справедлива формула (1.24).

Участок 3. Транзисторы VT1, VT4 и VT5 работают в линейной области, VT2 и VT6 насыщены, транзистор VT3 закрыт. В этом случае

$$U_{5-6} = U_3 - \beta_{отн} (V - U_4)^2/2 (W + U_3 - U_{и.п}), \quad (1.77)$$

где

$$U_3 = U_{и.п} (2 + 1/3R\beta_n V_1)/3; \quad (1.78)$$

$$U_4 = U_{и.п}/3R\beta_n V_1. \quad (1.79)$$

Величина V_1 вычисляется так же, как на участке 2.

Участок 4. Транзисторы VT1, VT4 и VT5 работают в линейной области, VT2, VT3 и VT6 насыщены. Для выходного напряжения справедливо равенство (1.77), однако

$$U_3 = (U_{и.п} + R\beta_p W_2^2/2) (2 + 1/3R\beta_n V_1)/3; \quad (1.80)$$

$$U_4 = \frac{1}{3R\beta_n V_1} \left(U_{и.п} + \frac{R\beta_p W_2^2}{2} \right), \quad (1.81)$$

где V_1 определяется так же, как на предыдущем участке, а при вычислении W_2 значения U_2 рассчитываются по (1.25).

Участок 5. Транзисторы VT1, VT3—VT5 работают в линейной области, VT2 и VT6 насыщены. Выходное напряжение также описывается соотношением (1.77). При этом

$$U_3 = U_{н.п} (1 - 1/2R\beta_p W_2); \quad (1.82)$$

$$U_4 = U_{н.п}/2R\beta_n V_1, \quad (1.83)$$

а V_1 и W_2 вычисляются по (1.3), (1.24) и (1.25).

Участок 6. Транзистор VT6 насыщен, а остальные транзисторы работают в линейной области. Выходное напряжение определяется по (1.77), (1.82) и (1.83), причем для вычисления V_1 и W_2 следует использовать (1.3), (1.26) и (1.27).

Участок 7. Транзисторы VT5 и VT6 насыщены, VT1—VT4 работают в линейной области. Этот участок сводится к одной точке $U_{вх} = U_{кр}$, в которой выходное напряжение изменяется скачком. Напряжение

$$U_{кр} = \frac{U_3 + U_4 \sqrt{\beta_{отн}} + U_{порр} + U_{порл} \sqrt{\beta_{отн}}}{1 + \sqrt{\beta_{отн}}}, \quad (1.84)$$

где U_3 , U_4 определяются с помощью (1.3), (1.26), (1.27), (1.82) и (1.83).

Участок 8. Транзисторы VT1—VT4 и VT6 работают в линейной области, транзистор VT5 насыщен.

$$U_{5-6} = U_4 + (W + U_3 - U_{н.п})^2 / 2\beta_{отн} (V - U_4). \quad (1.85)$$

Величины U_3 , U_4 , V_1 и W_2 описываются теми же соотношениями, что и на участке 7.

Участок 9. Транзисторы VT1 и VT5 насыщены, VT2—VT4 и VT6 работают в линейной области. Выходное напряжение определяется по (1.85), а U_3 и U_4 — по (1.82) и (1.83) соответственно. Для вычисления V_1 и W_2 необходимо использовать (1.3), (1.28) и (1.29).

Участок 10. Транзисторы VT1, VT4 и VT5 насыщены, VT2, VT3 и VT6 работают в линейной области. Для выходного напряжения справедливо равенство (1.85), причем

$$U_3 = U_{н.п} \left(1 - \frac{1}{3R\beta_p W_2} \right) - \frac{R\beta_n V_1^2}{6R\beta_p W_2}; \quad (1.86)$$

$$U_4 = \frac{1}{3} \left[U_{н.п} \left(1 - \frac{1}{3R\beta_p W_2} \right) - \frac{R\beta_n V_1^2}{2} \left(2 + \frac{1}{3R\beta_p W_2} \right) \right]. \quad (1.87)$$

Напряжения V_1 и W_2 вычисляются так же, как на участке 9.

Участок 11. Транзисторы VT1, VT5 насыщены, VT2, VT3 и VT6 работают в линейной области, транзистор VT4 закрыт. Выходное напряжение, как и на участке 10, описывается выражением (1.85). Напряжения на стоках транзисторов VT3 и VT4 определяются по формулам

$$U_3 = U_{н.п} (1 - 1/3R\beta_p W_2); \quad (1.88)$$

$$U_4 = U_{н.п} (1 - 1/3R\beta_p W_2)/3. \quad (1.89)$$

Величина W_2 вычисляется по (1.3) и (1.29).

Участок 12. Транзистор VT1 насыщен, транзисторы VT2, VT3 и VT6 открыты, VT4 и VT5 закрыты. Транзисторы VT2 и VT3 работают в линейной области. Выходное напряжение

$$U_{5-6} = U_{и.п} (1 - 1/3R\beta_p W_2)/3. \quad (1.90)$$

При вычислении W_2 значения напряжения U_2 рассчитываются по (1.29).

Участок 13. Транзисторы VT1, VT4 и VT5 закрыты, VT2, VT3 и VT6 открыты. Транзистор VT3 работает в линейной области. Выходное напряжение определяется по (1.90). При этом $W_2 = U_{и.п} + U_{пор p}$, так как на этом участке $U_2 = 0$.

Упрощенная модель передаточной характеристики рассматриваемого циклического инвертора приведена в табл. 1.9.

При реализации функции $(X+2) \bmod 4$ схемой на рис. 1.21 справедливы условия (1.31). В схеме допускается стандартное включение подложек транзисторов VT5 и VT6 (рис. 1.22). В этом случае требования к пороговым напряжениям транзисторов VT5, VT6 ужесточаются и определяются условиями

$$\begin{aligned} U_{пор} (VT6) &< U_{и.п}/6 - \sqrt{U_{и.п}/12}; \\ U_{пор} (VT5) &> -U_{и.п}/6 + \sqrt{U_{и.п}/12}. \end{aligned} \quad (1.91)$$

На рис. 1.23 показана передаточная характеристика циклического инвертора x^2 .

Сравним передаточные характеристики рис. 1.20 и 1.23. В последнем варианте наблюдается лучшее приближение к графику идеальной зависимости $(X+2) \bmod 4$. Однако полученное улучшение не столь существенно, как этого хотелось бы. Поэтому можно предположить, что существование другого схемотехнического ре-

Таблица 1.9. Упрощенная модель передаточной характеристики циклического инвертора (рис. 1.21)

Номер участка	U_{5-6}
1, 2	$2U_{и.п}/3$
3	$\frac{2U_{и.п}}{3} - \frac{\beta_{отн} V^2}{2(W - U_{и.п}/3)}$
4	$\frac{2U_{и.п} + R\beta_p W_2^2}{3} - \frac{\beta_{отн} V^2}{2[W - (U_{и.п} - R\beta_p W_2^2)/3]}$; $W_2 = R\beta_n V^2/2 + U_{пор p}$
5, 6	$\frac{U_{и.п} - \beta_{отн} V^2/2W}{\beta_{отн} V^2/2W}$
7	Претерпевает скачок
8, 9	$W^2/2\beta_{отн} V$
10	$\frac{U_{и.п} - R\beta_n V_1^2}{3} + \frac{W^2}{2\beta_{отн} [V - (U_{и.п} - R\beta_n V_1^2)/3]}$; $V_1 = R\beta_p W^2/2 - U_{пор n}$
11	$U_{и.п}/3 + W^2/2\beta_{отн} (V - U_{и.п}/3)$
12, 13	$U_{и.п}/3$

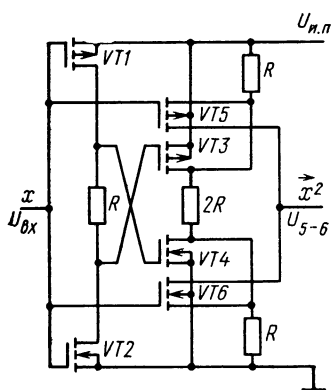


Рис. 1.22. Циклический инвертор \vec{x}^2 (модификация 2-го варианта)

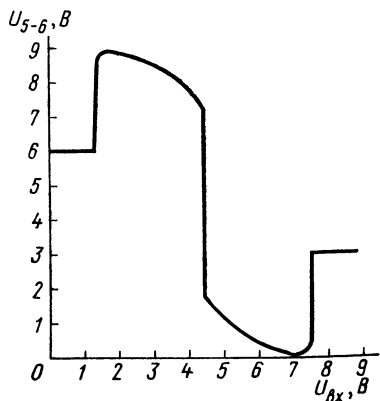


Рис. 1.23. Расчетная передаточная характеристика циклического инвертора (рис. 1.21) при $U_{н.п}=9$ В; $U_{пор\ n}=-U_{пор\ p}=1$ В; $\beta_{отн}=1$; $R\beta=20$ В⁻¹

нения такой же сложности с заметно улучшенной передаточной характеристикой элемента, выполняющего эту операцию, маловероятно. По крайней мере поиск таких решений — задача достаточно сложная. Значительно проще отказаться от одинаковых требований к параметрам всех МОП-транзисторов в схеме инвертора и воспользоваться тем, что уже имеется.

Проиллюстрируем эту возможность на следующем примере.

Вернемся к первому варианту инвертора \vec{x}^2 (см. рис. 1.19). Отметим, что его передаточная характеристика (см. рис. 1.20) совпадает с передаточной характеристикой порогового детектора x^1 (см. рис. 1.2) на интересующем нас участке $U_{вх}=\langle 1 \rangle$ и $U_{вх}=\langle 2 \rangle$, что и должно быть, поскольку пара КМОП-транзисторов VT3 и VT4 в схеме на рис. 1.19 образует такой пороговый детектор, а выходное напряжение инвертора совпадает с напряжением на стоках транзисторов этой пары (вследствие того, что на этом участке транзисторы VT5 и VT6 закрыты).

В § 1.1 было показано, что передаточную характеристику порогового детектора x^1 можно существенно улучшить при увеличении пороговых напряжений составляющих его транзисторов. Применим это и в рассматриваемом случае. В качестве примера на рис. 1.20 штриховой линией показана передаточная характеристика схемы на рис. 1.19 при $U_{пор\ n}=-U_{пор\ p}=3,5$ В для транзисторов VT3 и VT4, а также $U_{н.п}=9$ В, $\beta_{отн}=1$, $R\beta=20$ В⁻¹ и $U_{пор\ n}=-U_{пор\ p}=1$ В для транзисторов VT1, VT2, VT5 и VT6.

Рассмотрим последнюю из возможных в четырехзначной логике операций циклической инверсии: $\vec{x}^3 = (X+3) \bmod 4$. Для реализации этой операции можно предложить схему на рис. 1.24 [6]. Ин-

Таблица 1.10. Операции, выполняемые циклическим инвертором (рис. 1.24)

Вход	Выходы (стоки)				
	VT1 (VT2)	VT3	VT4	VT5	VT6
«0»	«3»	«3»	«3»	«3»	«3»
«1»	«3»	«3»	«0»	«0»	«0»
«2»	«0»	«3»	«0»	«1»	«1»
«3»	«0»	«2»	«0»	«3»	«2»

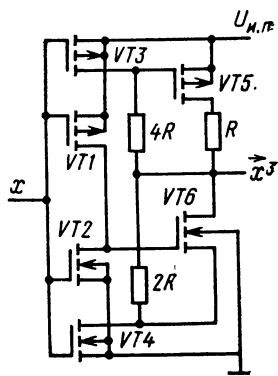


Рис. 1.24. Циклический инвертор x^3

вертор содержит три соединенных звездой резистора, номиналы которых соотносятся как $R-2R-4R$, и три пары КМОП-транзисторов VT1—VT6 с индуцированными каналами. Истоки и подложки транзисторов подключены к соответствующим шинам питания, за исключением транзистора VT6 с каналом n -типа, исток которого соединен со стоком n -канального транзистора VT4 и резистором $2R$, а сток — с точкой соединения резисторов и выходом инвертора. Затворы транзисторов VT1—VT4 соединены с входом элемента. Стоки транзисторов VT1 и VT2 подключены к затвору транзистора VT6, сток транзистора VT3 с каналом p -типа подсоединен к резистору $4R$ и затвору p -канального транзистора VT5, сток которого подключен к резистору R .

Нетрудно заметить, что описанная схема «зеркальна» по отношению к схеме на рис. 1.17. Этого и следовало ожидать, так как функции $(X+1) \bmod 4$ и $(X+3) \bmod 4$ являются двойственными. В связи с этим ограничимся вышеизложенными сведениями.

В заключение отметим, что каждый из описанных циклических инверторов помимо функции $(X+\sigma) \bmod 4$ способен одновременно выполнять еще четыре операции. Для примера в табл. 1.10 приведены функции одной переменной, реализуемые схемой на рис. 1.24.

1.5. РЕПИТЕРЫ

Из функций одной переменной нам осталось рассмотреть тождественную. Логический элемент, выполняющий операцию, описываемую тождественной функцией, будем называть репитером. Из определения этой функции (см. табл. 1.1) следует, что в логическом плане ее значения повторяют значения входной переменной. В связи с этим предназначение репитера может показаться не совсем ясным. Отметим, что согласно определению тождествен-

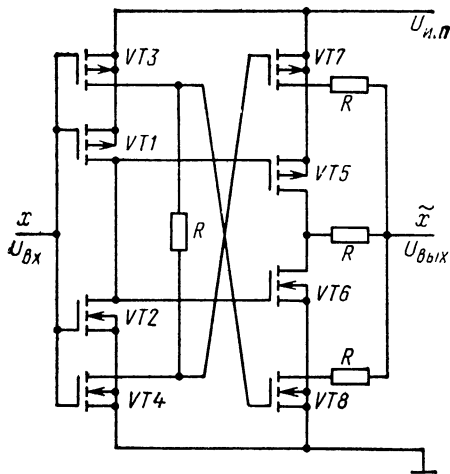


Рис. 1.25. Репитер (1-й вариант)

квантовать входной сигнал, что видно по их передаточным характеристикам (см., например, рис. 1.11 или 1.15), то последовательное включение двух таких инверторов приводит к требуемому результату.

Основываясь на этом подходе к реализации тождественной функции, можно предложить несколько равноценных вариантов построения репитера, каждый из которых хоть и незначительно, но все же проще, чем два последовательно соединенных инвертора. Один из таких вариантов показан на рис. 1.25.

Репитер содержит четыре пары КМОП-транзисторов VT1—VT8 с индуцированными каналами и четыре резистора. Входной каскад (транзисторы VT1—VT4) представляет собой пороговый детектор с полным набором пороговых функций x^0 , x^1 и x^2 , выходная часть репитера (транзисторы VT5—VT8)—четырёхзначный инвертор, но в несколько измененном виде.

Поскольку предполагается использовать репитер в качестве восстанавливающего элемента, то вполне естественно, что его передаточная характеристика должна приближаться к идеальной в большей степени, чем других элементов. Предлагаемый подход к построению репитеров способствует достижению указанного, так как сигнал, проходя через два последовательно соединенных инвертора, квантуется дважды. В качестве иллюстрации рассмотрим передаточную характеристику репитера, выполненного по схеме на рис. 1.25, на которой можно выделить 15 участков.

Участок 1. Транзисторы VT1, VT3, VT6 и VT8 открыты, VT2, VT4, VT5 и VT7 закрыты. Выходное напряжение

$$U_{\text{вых}} = 0. \quad (1.92)$$

ной функции присуще свойство квантования, вследствие чего с помощью репитера аналоговый сигнал может быть преобразован в четырехзначный код. Репитер также может быть использован в многозначных логических устройствах как восстанавливающий элемент. Кроме того, и это весьма важно, репитер является основой простейших многозначных запоминающих элементов.

Реализация тождественной функции с учетом изложенного в § 1.3 не должна вызывать затруднений. Действительно, несколько описанные схемы инверторов также способны

Участок 2. Транзисторы VT1, VT3 работают в линейной области, VT2, VT4 насыщены, VT5 и VT7 закрыты и VT6, VT8 открыты. Выходное напряжение, как и на участке 1, определяется равенством (1.92).

Участок 3. Транзисторы VT1, VT3, VT6 и VT8 работают в линейной области, VT2, VT4 и VT7 насыщены, а транзистор VT5 закрыт. Имеем

$$U_{\text{вых}} = \frac{R\beta_p W_4^2}{4} \left(1 + \frac{1}{2R\beta_n V_{1-2}} + \frac{1}{2R\beta_n V_3} \right), \quad (1.93)$$

где

$$V_{1-2} = U_{\text{и.п}} - W - U_{\text{порп}} + \sqrt{W^2 - \beta_{\text{отн}} V^2}; \quad (1.94)$$

$$V_3 = U_{\text{и.п}} - U_{\text{порп}} - \beta_{\text{отн}} V^2 / 2W; \quad (1.95)$$

$$W_4 = \frac{R\beta_n V^2}{2} \left(1 + \frac{1}{R\beta_p W} \right) + U_{\text{порр}}. \quad (1.96)$$

Выражения (1.94)–(1.96) определены с помощью (1.3), (1.6), (1.24) и (1.25).

Участок 4. Транзисторы VT1, VT3, VT6–VT8 работают в линейной области, VT2 и VT4 насыщены, транзистор VT5 закрыт. Выходное напряжение

$$U_{\text{вых}} = \frac{U_{\text{и.п}}}{3} \left(1 - \frac{2}{3R\beta_p W_4} + \frac{1}{3R\beta_n V_{1-2}} + \frac{1}{3R\beta_n V_3} \right). \quad (1.97)$$

Для величин V_{1-2} , V_3 и W_4 справедливы соотношения (1.94), (1.95) и (1.96) соответственно.

Участок 5. Транзисторы VT1, VT3, VT4, VT6–VT8 работают в линейной области, транзистор VT2 насыщен, а VT5 закрыт. Выходное напряжение и V_{1-2} описываются выражениями (1.97) и (1.94) соответственно

$$V_3 = U_{\text{и.п}} (1 - 1/R\beta_p W) - U_{\text{порп}}; \quad (1.98)$$

$$W_4 = U_{\text{и.п}} (1 - 1/R\beta_n V) + U_{\text{порр}}. \quad (1.99)$$

Соотношения (1.98) и (1.99) получены из (1.3), (1.26) и (1.27).

Участок 6. Транзисторы VT1, VT3, VT4, VT6–VT8 работают в линейной области, VT2 и VT5 насыщены. При этом

$$U_{\text{вых}} = \frac{U_{\text{и.п}}}{3} \left(1 - \frac{2}{3R\beta_p W_4} + \frac{1}{3R\beta_n V_{1-2}} + \frac{1}{3R\beta_n V_3} \right) + \frac{W_{1-2}^2}{6\beta_{\text{отн}} V_{1-2}} \left(1 + \frac{1}{3R\beta_p W_4} + \frac{1}{3R\beta_n V_{1-2}} + \frac{1}{3R\beta_n V_3} \right), \quad (1.100)$$

где V_{1-2} , V_3 и W_4 определяются так же, как на участке 5,

$$W_{1-2} = W + U_{\text{порр}} - \sqrt{W^2 - \beta_{\text{отн}} V^2}. \quad (1.101)$$

Участок 7. Транзисторы VT1, VT2 и VT5 насыщены, VT3, VT4, VT6–VT8 работают в линейной области. Для выходного напряжения справедливо выражение (1.100) при $U_{\text{вх}} = U_{\text{кр}}$, где $U_{\text{кр}}$

определяется по (1.7). При этом значения V_3 и W_4 необходимо вычислять по (1.98) и (1.99) при $U_{вх} = U_{кр}$, т. е. полагая $W = W_{кр}$ и $V = V_{кр}$, значения V_{1-2} и W_{1-2} — по (1.3), задавая U_{1-2} в пределах

$$U_{и.п} - W_{кр} + \sqrt{W_{кр}^2 - \beta_{отн} V_{кр}^2} \geq U_{1-2} > U_{кр}. \quad (1.102)$$

Участок 8. Транзисторы VT1, VT2, VT5 и VT6 насыщены, VT3, VT4, VT7 и VT8 работают в линейной области. Выходное напряжение

$$U_{вых} = \frac{U_{и.п}}{2} \left(1 - \frac{1}{2R\beta_p W_4} + \frac{1}{2R\beta_n V_3} \right) + \frac{R\beta_p (W_{1-2}^2 - \beta_{отн} V_{1-2}^2)}{4} \left(1 + \frac{1}{2R\beta_p W_4} + \frac{1}{2R\beta_n V_3} \right). \quad (1.103)$$

Вычисления следует производить при $U_{вх} = U_{кр}$, т. е. при тех же, что и на участке 7, значениях V_3 и W_4 . Что касается V_{1-2} и W_{1-2} , то при их определении U_{1-2} необходимо задавать в пределах

$$U_{кр} + \Delta \geq U_{1-2} \geq U_{кр} - \Delta. \quad (1.104)$$

Величину Δ следует выбирать таким образом, чтобы графики зависимости $U_{вых} = f(U_{1-2})$ на участках 7 и 8 пересеклись, т. е. имели общую точку, являющуюся границей между указанными участками передаточной характеристики.

Участок 9. Транзисторы VT3—VT5, VT7 и VT8 работают в линейной области, VT1, VT2 и VT6 — в области насыщения. Выходное напряжение

$$U_{вых} = \frac{U_{и.п}}{3} \left(2 - \frac{1}{3R\beta_p W_{1-2}} - \frac{1}{3R\beta_p W_4} + \frac{2}{3R\beta_n V_3} \right) - \frac{\beta_{отн} V_{1-2}^2}{6W_{1-2}} \left(1 + \frac{1}{3R\beta_p W_{1-2}} + \frac{1}{3R\beta_p W_4} + \frac{1}{3R\beta_n V_3} \right). \quad (1.105)$$

Выражение (1.105) справедливо при $U_{вх} = U_{кр}$, где $U_{кр}$ определяется по (1.7). При этом значения V_3 и W_4 остаются теми же, что и на участках 7 и 8. Значения V_{1-2} и W_{1-2} необходимо вычислять по (1.3), задавая U_{1-2} в пределах

$$U_{кр} > U_{1-2} \geq U_{кр} - \sqrt{V_{кр}^2 - W_{кр}^2 / \beta_{отн}}. \quad (1.106)$$

Соотношения (1.100), (1.103) и (1.105), определяющие передаточную характеристику рассматриваемой схемы на участках 7, 8 и 9, описывают ее переходную область между состояниями $U_{вых} = \langle 1 \rangle$ и $U_{вых} = \langle 2 \rangle$ в трехмерной системе координат $U_{вх}$, $U_{вых}$ и U_{1-2} . Проекция этой части передаточной характеристики на плоскость с координатами $U_{вх}$ и $U_{вых}$ укладывается на прямую $U_{вх} = U_{кр}$ между указанными выше состояниями выходного сигнала схемы, т. е. выходное напряжение в точке $U_{вх} = U_{кр}$ изменяется скачкообразно от $U_{вых} = \langle 1 \rangle$ до $U_{вых} = \langle 2 \rangle$.

Участок 10. Транзисторы VT1 и VT6 насыщены, VT2—VT5, VT7 и VT8 работают в линейной области. Выходное напряжение схемы описывается выражением (1.105), напряжения V_3 и W_4 определяются по (1.98) и (1.99),

$$V_{1-2} = V - U_{\text{пор}n} - \sqrt{V^2 - W^2/\beta_{\text{отн}}}; \quad (1.107)$$

$$W_{1-2} = U_{\text{и.п}} - V + U_{\text{пор}p} + \sqrt{V^2 - W^2/\beta_{\text{отн}}}. \quad (1.108)$$

Соотношения (1.107) и (1.108) получены на основе (1.3), (1.8).

Участок 11. Транзистор VT1 насыщен, транзисторы VT2—VT5, VT7 и VT8 работают в линейной области, транзистор VT6 закрыт. Имеем

$$U_{\text{вых}} = \frac{U_{\text{и.п}}}{3} \left(2 - \frac{1}{3R\beta_p W_{1-2}} - \frac{1}{3R\beta_p W_4} + \frac{2}{3R\beta_n V_3} \right). \quad (1.109)$$

Величины W_{1-2} , V_3 и W_4 рассчитываются по тем же формулам, что и на участке 10.

Участок 12. Транзисторы VT1 и VT3 насыщены, VT2, VT4, VT5, VT7 и VT8 работают в линейной области, транзистор VT6 закрыт. Для выходного напряжения и напряжения W_{1-2} справедливы выражения (1.109) и (1.108),

$$V_3 = \frac{R\beta_p W^2}{2} \left(1 + \frac{1}{R\beta_n V} \right) - U_{\text{пор}n}; \quad (1.110)$$

$$W_4 = U_{\text{и.п}} + U_{\text{пор}p} - \frac{W^2}{2\beta_{\text{отн}} V}. \quad (1.111)$$

Равенства (1.110) и (1.111) получены из (1.3), (1.28) и (1.29).

Таблица 1.11. Упрощенная модель передаточной характеристики репитера (рис. 1.25)

Номер участка	$U_{\text{вых}}$
1, 2	0
3	$\frac{R\beta_p}{4} \left(\frac{R\beta_n V^2}{2} + U_{\text{пор}p} \right)^2$
4, 5	$U_{\text{и.п}}/3$
6	$\frac{U_{\text{и.п}}}{3} + \frac{(W + U_{\text{пор}p} - \sqrt{W^2 - \beta_{\text{отн}} V^2})^2}{6\beta_{\text{отн}}(U_{\text{и.п}} - W - U_{\text{пор}n} + \sqrt{W^2 - \beta_{\text{отн}} V^2})}$
7-9	Претерпевает скачок
10	$\frac{2U_{\text{и.п}}}{3} - \frac{\beta_{\text{отн}}(V - U_{\text{пор}n} - \sqrt{V^2 - W^2/\beta_{\text{отн}}})^2}{6(U_{\text{и.п}} - V + U_{\text{пор}p} + \sqrt{V^2 - W^2/\beta_{\text{отн}}})}$
11, 12	$2U_{\text{и.п}}/3$
13	$U_{\text{и.п}} - \frac{R\beta_n}{4} \left(\frac{R\beta_p W^2}{2} - U_{\text{пор}n} \right)$
14, 15	$U_{\text{и.п}}$

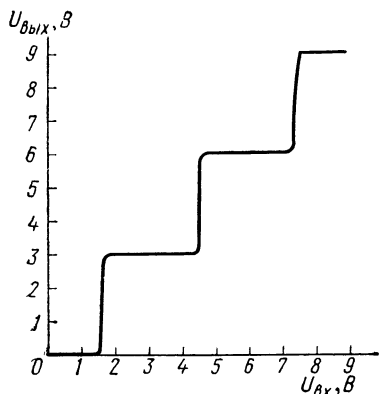


Рис. 1.26. Расчетная передаточная характеристика репитера (рис. 1.25) при $U_{и.п} = 9$ В; $U_{пор.л} = -U_{пор.р} = 1$ В; $\beta_{отн} = 1$; $R\beta = 10$ В⁻¹

Участок 13. Транзисторы VT1, VT3 и VT8 насыщены, VT2, VT4, VT5 и VT7 работают в линейной области, транзистор VT6 закрыт. Выходное напряжение

$$U_{\text{вых}} = U_{и.п} - \frac{R\beta_n V_3^2}{4} \times \left(1 + \frac{1}{2R\beta_p W_{1-2}} + \frac{1}{2R\beta_p W_4} \right). \quad (1.112)$$

Величины W_{1-2} , V_3 и W_4 определяются так же, как на участке 12.

Участок 14. Транзисторы VT1 и VT3 насыщены, VT2 и VT4 работают в линейной области VT5 и VT7 открыты, VT6 и VT8 закрыты. При этом

$$U_{\text{вых}} = U_{и.п}. \quad (1.113)$$

Участок 15. Транзисторы VT1, VT3, VT6 и VT8 закрыты, VT2, VT4, VT5 и VT7 открыты. Выходное напряжение определяется равенством (1.113).

Упрощенная модель передаточной характеристики репитера на рис. 1.25 приведена в табл. 1.11. Условия реализации тождественной функции схемой на рис. 1.25 могут быть приняты в виде (1.31).

На рис. 1.26 показана расчетная передаточная характеристика описанной схемы репитера. Сравнивая ее с передаточной характеристикой на рис. 1.11, т. е. с передаточной характеристикой инвертора, на базе которого построен рассмотренный репитер, можно отметить, что у последнего степень приближения передаточной характеристики к идеальной заметно выше.

Другие варианты построения репитера показаны на рис. 1.27 (а—г). Все предложенные схемы репитеров имеют одинаковую сложность: содержат по четыре резистора и четыре пары КМОП-транзисторов, а это все же сложнее, чем хотелось бы (учитывая, что репитеры являются основной частью многозначных триггеров). К сожалению, более простые реализации тождественной функции пока не найдены. Правда, функциональные возможности рассматриваемых схем не исчерпываются выполнением тождественной функции. Так, репитер на рис. 1.25 наряду с тождественной реализует одновременно еще шесть функций четырехзначной логики. А это значит, что триггер, построенный на его основе, автоматически приобретает дополнительные свойства: реализует семь различных функций выходов.

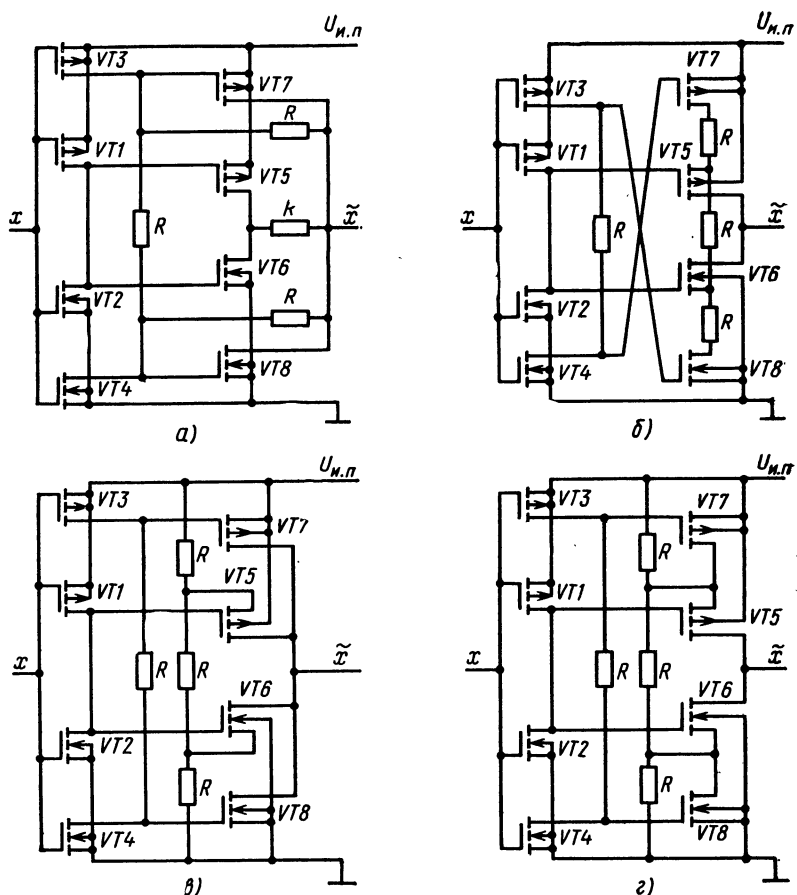


Рис. 1.27. Варианты построения репитера

Глава 2.

МНОВХОДОВЫЕ ЭЛЕМЕНТЫ

Из многовыходовых функций четырехзначной логики к числу элементарных наиболее часто относят функции двух (или более) переменных, приведенных в табл. 2.1.

Довольно часто вместо функций «минимум» и «максимум» в логических системах используют их инверсии: $x_1 \& x_2$ и $x_1 \vee x_2$, что безразлично с точки зрения логических возможностей, но более удобно для реализации КМОП-схем (как и в двоичном случае).

Поскольку в данной главе рассматриваются многовыходовые элементы, то при их описании необходимо ввести несколько входных

Т а б л и ц а 2.1. Наиболее часто употребляемые элементарные функции четырехзначной логики двух и более переменных

Наименование	Обозначение	Определение
Минимум	$x_1 \& x_2$	X_1 , если $X_2 \geq X_1$ X_2 , если $X_1 > X_2$
Максимум	$x_1 \vee x_2$	X_1 , если $X_2 < X_1$ X_2 , если $X_1 < X_2$
Произведение Сумма	$x_1 x_2$ $x_1 \oplus x_2$	$(X_1 \times X_2) \bmod 4$ $(X_1 + X_2) \bmod 4$
Универсальная	$f(x, y_1, y_2, y_3, y_4)$	Y_1 , если $X=0$ Y_2 , если $X=1$ Y_3 , если $X=2$ Y_4 , если $X=3$

сигналов: $U_{вх1}$, $U_{вх2}$, ... Внесем некоторые изменения в принятую в гл. 1 систему обозначений, а именно

$$V_i = U_{вхi} - U_{порп}; \quad W_i = U_{н.п} - U_{вхi} + U_{порр}. \quad (2.1)$$

2.1. КОНЪЮНКТОРЫ

Конъюнкторами называют логические элементы, выполняющие многовходовую операцию «минимум»:

$$x_1 \& x_2 \& \dots \& x_n = \min(X_1, X_2, \dots, X_n). \quad (2.2)$$

К конъюнкторам будем относить также логические элементы МИН—НЕ, реализующие операцию, инверсную (2.2). Последние, как уже упоминалось выше, более удобны для реализации, поэтому рассмотрим их в первую очередь.

Сравним два двоичных КМОП-элемента: инвертор, являющийся базовой схемой, и элемент И—НЕ. При сравнении сразу становится ясным схемотехнический прием, использованный при построении элемента И—НЕ. Воспользуемся этим же приемом, только возьмем за основу схему четырехзначного инвертора, например на рис. 1.10. Полученная таким способом схема двухвходового логического элемента МИН—НЕ, выполняющего операцию $x_1 \& x_2$, содержит четыре пары КМОП-транзисторов VT1—VT8 и три резистора одного номинала (рис. 2.1). Отметим, что схема является избыточной и может быть упрощена при совмещении транзисторов VT4 и VT8. Окончательный вариант двухвходового логического элемента МИН—НЕ, выполненного на базе инвертора (см. рис. 1.10), показана на рис. 2.2.

Для того чтобы убедиться, что схема на рис. 2.2 выполняет требуемую операцию $x_1 \& x_2$, следует рассмотреть ее передаточную характеристику, построение которой трудоемко. Поэтому ограничимся семейством четырех передаточных характеристик указанной

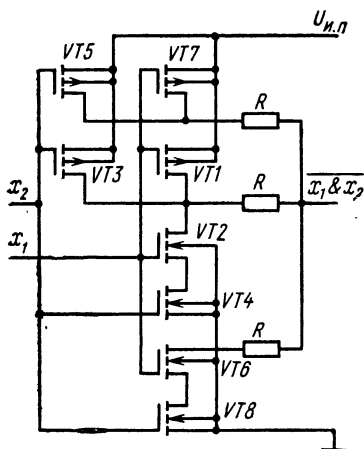


Рис. 2.1. Двухвходовый логический элемент МИН–НЕ (1-й вариант)

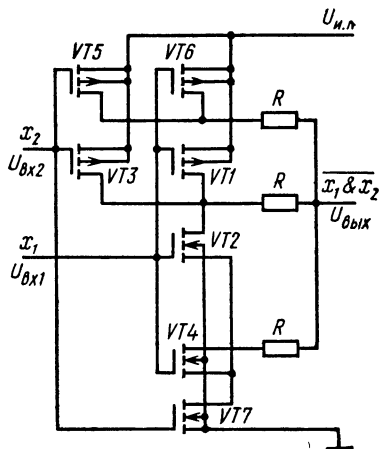


Рис. 2.2. Двухвходовый логический элемент МИН–НЕ (модификация 1-го варианта)

схемы, например, по входу x_1 при фиксированных четырех номинальных значениях сигнала «0», «1», «2» и «3» на другом входе x_2 , что для намеченной цели по сути почти одно и то же, но значительно сокращает время анализа.

При $x_2 = \langle 0 \rangle$, т. е. $U_{вх2} = 0$ В, передаточная характеристика схемы на рис. 2.2 содержит один участок. При изменении напряжения на входе x_1 в пределах $0 \dots U_{н.п}$ транзистор VT7 закрыт, а транзисторы VT3 и VT5 открыты. При этом независимо от состояния других транзисторов напряжение на выходе

$$U_{вых} = U_{н.п}. \quad (2.3)$$

При $x_2 = \langle 1 \rangle$, т. е. $U_{вх2} = U_{н.п}/3$ и соответственно $V_2 = U_{н.п}/3 - U_{пор п}$, $W_2 = 2U_{н.п}/3 + U_{пор п}$, передаточная характеристика схемы на рис. 2.2 содержит шесть участков.

Участок 1. Транзисторы VT1, VT3, VT5–VT7 открыты, VT2, VT4 закрыты. Выходное напряжение определяется равенством (2.3).

Участок 2. Транзисторы VT1, VT3, VT5–VT7 работают в линейной области, VT2 и VT4 насыщены. В этом случае

$$U_{вых} = U_{н.п} - \frac{R\beta_n V_1^2}{4(1 + V_1/(V_1 + V_2))^2} \left[1 + \frac{2}{R\beta_p (W_1 + W_2)} \right]. \quad (2.4)$$

Участок 3. Транзисторы VT1, VT3–VT7 работают в линейной области, транзистор VT2 насыщен. Выходное напряжение

$$U_{вых} = \frac{2U_{н.п}}{3} \left\{ 1 - \frac{1}{3R\beta_p (W_1 + W_2)} + \frac{1}{3R\beta_n (V_1 + V_2)} + \right.$$

$$\begin{aligned}
& + \frac{1}{3R\beta_n V_1 [1 - V_1/2(V_1 + V_2)]} \left\} + \frac{V_1^2}{6(V_1 + V_2)} \times \right. \\
& \times \left\{ 1 + \frac{2}{3R\beta_p(W_1 + W_2)} - \frac{2}{3R\beta_n(V_1 + V_2)} - \right. \\
& \left. - \frac{2}{3R\beta_n V_1 [1 - V_1/2(V_1 + V_2)]} \right\} - \frac{\beta_{отн} V_1^2}{6(W_1 + W_2)} \times \\
& \times \left[1 - \frac{V_1}{2(V_1 + V_2)} \right]^2 \left\{ 1 + \frac{2}{3R\beta_p(W_1 + W_2)} + \right. \\
& \left. + \frac{1}{3R\beta_n(V_1 + V_2)} + \frac{1}{3R\beta_n V_1 [1 - V_1/2(V_1 + V_2)]} \right\}. \quad (2.5)
\end{aligned}$$

Участок 4. Транзисторы VT1, VT2 насыщены, VT3—VT7 работают в линейной области. Имеем

$$\begin{aligned}
U_{\text{вых}} = & \frac{U_{н.п}}{3} \left\{ 2 - \frac{1}{3R\beta_p(W_1 + W_2)} - \frac{1}{3R\beta_p W_2} + \right. \\
& \left. + \frac{2}{3R\beta_n(V_1 + V_2)} + \frac{2}{3R\beta_n V_1 [1 - V_1/2(V_1 + V_2)]} \right\} + \\
& + \frac{V_1^2}{6(V_1 + V_2)} \left\{ 1 + \frac{1}{3R\beta_p(W_1 + W_2)} + \frac{1}{3R\beta_p W_2} - \right. \\
& \left. - \frac{2}{3R\beta_n(V_1 + V_2)} - \frac{2}{3R\beta_n V_1 [1 - V_1/2(V_1 + V_2)]} \right\} + \\
& + \frac{W_1^2 - \beta_{отн} V_1^2 [1 - V_1/2(V_1 + V_2)]^2}{6W_2} \left\{ 1 + \frac{1}{3R\beta_p(W_1 + W_2)} + \right. \\
& \left. + \frac{1}{3R\beta_p W_2} + \frac{1}{3R\beta_n(V_1 + V_2)} + \frac{1}{3R\beta_n V_1 [1 - V_1/2(V_1 + V_2)]} \right\}. \quad (2.6)
\end{aligned}$$

Участок 5. Транзисторы VT1, VT2 и VT6 насыщены, VT3—VT5 и VT7 работают в линейной области. Выходное напряжение

$$\begin{aligned}
U_{\text{вых}} = & \frac{2U_{н.п}}{3} \left\{ 1 - \frac{1}{3R\beta_p W_2} + \frac{1}{3R\beta_n(V_1 + V_2)} + \right. \\
& \left. + \frac{1}{3R\beta_n V_1 [1 - V_1/2(V_1 + V_2)]} \right\} + \frac{V_1^2}{6(V_1 + V_2)} \times \\
& \times \left\{ 1 + \frac{2}{3R\beta_p W_2} - \frac{2}{3R\beta_n(V_1 + V_2)} - \right. \\
& \left. - \frac{2}{3R\beta_n V_1 [1 - V_1/2(V_1 + V_2)]} \right\} +
\end{aligned}$$

$$\begin{aligned}
 & + \frac{2W_1^2 - \beta_{\text{отн}} V_1^2 [1 - V_1/2(V_1 + V_2)]^2}{6W_2} \left\{ 1 + \frac{2}{3R\beta_p W_2} + \right. \\
 & \left. + \frac{1}{3R\beta_n(V_1 + V_2)} + \frac{1}{3R\beta_n V_1 [1 - V_1/2(V_1 + V_2)]} \right\}. \quad (2.7)
 \end{aligned}$$

Участок 6. Транзисторы VT1 и VT6 закрыты, транзистор VT2 насыщен, а транзисторы VT3—VT5 и VT7 работают в линейной области. При этом

$$\begin{aligned}
 U_{\text{вых}} = & \frac{2U_{\text{и.п}}}{3} \left\{ 1 - \frac{1}{3R\beta_p W_2} + \frac{1}{3R\beta_n(V_1 + V_2)} + \right. \\
 & \left. + \frac{1}{3R\beta_n V_1 [1 - V_1/2(V_1 + V_2)]} \right\} + \frac{V_1^2}{6(V_1 + V_2)} \left\{ 1 + \frac{2}{3R\beta_p W_2} - \right. \\
 & \left. - \frac{2}{3R\beta_n(V_1 + V_2)} - \frac{2}{3R\beta_n V_1 [1 - V_1/2(V_1 + V_2)]} \right\} - \\
 & - \frac{\beta_{\text{отн}} V_1^2}{6W_2} \left[1 - \frac{V_1}{2(V_1 + V_2)} \right]^2 \left\{ 1 + \frac{2}{3R\beta_p W_2} + \right. \\
 & \left. + \frac{1}{3R\beta_n(V_1 + V_2)} + \frac{1}{3R\beta_n V_1 [1 - V_1/2(V_1 + V_2)]} \right\}. \quad (2.8)
 \end{aligned}$$

При $x_2 = \langle 2 \rangle$, т. е. $U_{\text{вх}2} = 2U_{\text{и.п}}/3$, и, следовательно, $V_2 = 2U_{\text{и.п}}/3 - U_{\text{пор}n}$, а $W_2 = U_{\text{и.п}}/3 + U_{\text{пор}p}$, передаточная характеристика схемы на рис. 2.2 содержит восемь участков.

Участок 1. Транзисторы VT1, VT3, VT5—VT7 открыты, VT2 и VT4 закрыты. Выходное напряжение описывается соотношением (2.3).

Участок 2. Транзисторы VT1, VT3, VT5—VT7 работают в линейной области, VT2 и VT4 — в области насыщения. Для выходного напряжения справедливо равенство (2.4).

Участок 3. Транзисторы VT1, VT3—VT7 работают в линейной области, транзистор VT2 насыщен. Для определения выходного напряжения следует воспользоваться соотношением (2.5).

Участок 4. Транзисторы VT1, VT4—VT7 работают в линейной области, VT2 и VT3 насыщены. Выходное напряжение

$$\begin{aligned}
 U_{\text{вых}} = & \frac{U_{\text{и.п}}}{3} \left\{ 2 - \frac{1}{3R\beta_p(W_1 + W_2)} - \frac{1}{3R\beta_p W_1} + \right. \\
 & \left. + \frac{2}{3R\beta_n(V_1 + V_2)} + \frac{2}{3R\beta_n V_1 [1 - V_1/2(V_1 + V_2)]} \right\} + \\
 & + \frac{V_1^2}{6(V_1 + V_2)} \left\{ 1 + \frac{1}{3R\beta_p(W_1 + W_2)} + \frac{1}{3R\beta_p W_1} - \right. \\
 & \left. - \frac{2}{3R\beta_n(V_1 + V_2)} - \frac{2}{3R\beta_n V_1 [1 - V_1/2(V_1 + V_2)]} \right\} +
 \end{aligned}$$

$$\begin{aligned}
& + \frac{W_2^2 - \beta_{\text{отн}} V_1^2 [1 - V_1/2(V_1 + V_2)]^2}{6W_1} \times \\
& \times \left\{ 1 + \frac{1}{3R\beta_p(W_1 + W_2)} + \frac{1}{3R\beta_p W_1} + \right. \\
& \left. + \frac{1}{3R\beta_n(V_1 + V_2)} + \frac{1}{3R\beta_n V_1 [1 - V_1/2(V_1 + V_2)]} \right\}. \quad (2.9)
\end{aligned}$$

Участок 5. Транзисторы VT1—VT3 насыщены, VT4—VT7 работают в линейной области. Имеем

$$\begin{aligned}
U_{\text{вых}} &= \frac{U_{\text{и.п}}}{2} \left\{ 1 - \frac{1}{2R\beta_p(W_1 + W_2)} + \frac{1}{2R\beta_n(V_1 + V_2)} + \right. \\
& \left. + \frac{1}{2R\beta_n V_1 [1 - V_1/2(V_1 + V_2)]} \right\} + \frac{V_1^2}{4(V_1 + V_2)} \times \\
& \times \left\{ 1 + \frac{1}{2R\beta_p(W_1 + W_2)} - \frac{1}{2R\beta_n(V_1 + V_2)} - \right. \\
& \left. - \frac{1}{2R\beta_n V_1 [1 - V_1/2(V_1 + V_2)]} \right\} + \\
& + \frac{R\beta_p}{4} \left\{ W_1^2 + W_2^2 - \beta_{\text{отн}} V_1^2 \left[1 - \frac{V_1}{2(V_1 + V_2)} \right]^2 \right\} \times \\
& \times \left\{ 1 + \frac{1}{2R\beta_p(W_1 + W_2)} + \frac{1}{2R\beta_n(V_1 + V_2)} + \right. \\
& \left. + \frac{1}{2R\beta_n V_1 [1 - V_1/2(V_1 + V_2)]} \right\}. \quad (2.10)
\end{aligned}$$

Участок 6. Транзисторы VT1 и VT3 насыщены, VT2, VT4—VT7 работают в линейной области. В этом случае

$$\begin{aligned}
U_{\text{вых}} &= \frac{U_{\text{и.п}}}{3} \left[1 - \frac{2}{3R\beta_p(W_1 + W_2)} + \frac{4}{3R\beta_n V_2} + \right. \\
& \left. + \frac{2}{3R\beta_n(V_1 - (W_1^2 + W_2^2)/2\beta_{\text{отн}} V_2)} \right] + \\
& + \frac{W_1^2 + W_2^2}{3\beta_{\text{отн}} V_2} \left[1 + \frac{1}{3R\beta_p(W_1 + W_2)} - \frac{2}{3R\beta_n V_2} - \right. \\
& \left. - \frac{4}{3R\beta_n(V_1 - (W_1^2 + W_2^2)/2\beta_{\text{отн}} V_2)} \right] + \\
& + \frac{W_1^2 + W_2^2}{6\beta_{\text{отн}}(V_1 - (W_1^2 + W_2^2)/2\beta_{\text{отн}} V_2)} \left[1 + \frac{1}{3R\beta_p(W_1 + W_2)} + \right. \\
& \left. + \frac{4}{3R\beta_n V_2} + \frac{2}{3R\beta_n(V_1 - (W_1^2 + W_2^2)/2\beta_{\text{отн}} V_2)} \right]. \quad (2.11)
\end{aligned}$$

Участок 7. Транзисторы VT1, VT3 и VT6 насыщены, VT2, VT4, VT5 и VT7 работают в линейной области. Выходное напряжение

$$\begin{aligned}
 U_{\text{вых}} = & \frac{U_{\text{н.п}}}{3} \left[1 - \frac{2}{3R\beta_p W_2} + \frac{4}{3R\beta_n V_2} + \right. \\
 & \left. + \frac{2}{3R\beta_n (V_1 - (W_1^2 + W_2^2)/2\beta_{\text{отн}} V_2)} \right] + \frac{W_1^2 + W_2^2}{3\beta_{\text{отн}} V_2} \times \\
 & \times \left[1 + \frac{1}{3R\beta_p W_2} - \frac{2}{3R\beta_n V_2} - \right. \\
 & \left. - \frac{4}{3R\beta_n (V_1 - (W_1^2 + W_2^2)/2\beta_{\text{отн}} V_2)} \right] + \\
 & + \frac{1}{6} \left[\frac{W_1^2}{W_2} + \frac{W_1^2 + W_2^2}{\beta_{\text{отн}} (V_1 - (W_1^2 + W_2^2)/2\beta_{\text{отн}} V_2)} \right] \times \\
 & \times \left[1 + \frac{1}{3R\beta_p W_2} + \frac{4}{3R\beta_n V_2} + \right. \\
 & \left. + \frac{2}{3R\beta_n (V_1 - (W_1^2 + W_2^2)/2\beta_{\text{отн}} V_2)} \right]. \quad (2.12)
 \end{aligned}$$

Участок 8. Транзисторы VT1 и VT6 закрыты, VT2, VT4, VT5 и VT7 работают в линейной области, транзистор VT3 насыщен. Выходное напряжение

$$\begin{aligned}
 U_{\text{вых}} = & \frac{U_{\text{н.п}}}{3} \left[1 - \frac{2}{3R\beta_p W_2} + \frac{4}{3R\beta_n V_2} + \right. \\
 & \left. + \frac{2}{3R\beta_n (V_1 - W_2^2/2\beta_{\text{отн}} V_2)} \right] + \frac{W_2^2}{3\beta_{\text{отн}} V_2} \left[1 + \frac{1}{3R\beta_p W_2} - \right. \\
 & \left. - \frac{2}{3R\beta_n V_2} - \frac{4}{3R\beta_n (V_1 - W_2^2/2\beta_{\text{отн}} V_2)} \right] + \\
 & + \frac{W_2^2}{6\beta_{\text{отн}} (V_1 - W_2^2/2\beta_{\text{отн}} V_2)} \left[1 + \frac{1}{3R\beta_p W_2} + \frac{4}{3R\beta_n V_2} + \right. \\
 & \left. + \frac{2}{3R\beta_n (V_1 - W_2^2/2\beta_{\text{отн}} V_2)} \right]. \quad (2.13)
 \end{aligned}$$

При $x_2 = \langle 3 \rangle$, т. е. $U_{\text{вх}2} = U_{\text{н.п}}$, $V_2 = U_{\text{н.п}} - U_{\text{пор}n}$, $W_2 = 0$, транзисторы VT3 и VT5 закрыты, а транзистор VT7 открыт. Остальные транзисторы (VT1, VT2, VT4 и VT6) образуют схему инвертора, аналогичную представленной на рис. 1.10, вследствие чего передаточная характеристика схемы на рис. 2.2 должна быть близка к передаточной характеристике инвертора. Проверим это. При изменении $U_{\text{вх}1}$ в пределах $0 \dots U_{\text{н.п}}$ передаточная характеристика рассматриваемой схемы, как и схемы на рис. 1.10, должна содержать семь участков.

Участок 1. Транзисторы VT1, VT6 и VT7 открыты, VT2—VT5 закрыты. Выходное напряжение описывается равенством (2.3).

Участок 2. Транзисторы VT1, VT6 и VT7 работают в линейной области, VT2 и VT4 насыщены, VT3 и VT5 закрыты. Выходное напряжение

$$U_{\text{вых}} = U_{\text{и.п}} - \frac{R\beta_n V_1^2}{4(1 + V_1/(V_1 + V_2))^2} \left(1 + \frac{2}{R\beta_p W_1}\right). \quad (2.14)$$

Участок 3. Транзисторы VT1, VT4, VT6 и VT7 работают в линейной области, транзистор VT2 насыщен, транзисторы VT3 и VT5 закрыты. Имеем

$$\begin{aligned} U_{\text{вых}} = & \frac{2U_{\text{и.п}}}{3} \left\{ 1 - \frac{1}{3R\beta_p W_1} + \frac{1}{3R\beta_n (V_1 + V_2)} + \right. \\ & \left. + \frac{1}{3R\beta_n V_1 [1 - V_1/2(V_1 + V_2)]} \right\} + \frac{V_1^2}{6(V_1 + V_2)} \times \\ & \times \left\{ 1 + \frac{2}{3R\beta_p W_1} - \frac{2}{3R\beta_n (V_1 + V_2)} - \right. \\ & \left. - \frac{2}{3R\beta_n V_1 [1 - V_1/2(V_1 + V_2)]} \right\} - \frac{\beta_{\text{отн}} V_1^2}{6W_1} \left[1 - \frac{V_1}{2(V_1 + V_2)} \right]^2 \times \\ & \times \left\{ 1 + \frac{2}{3R\beta_p W_1} + \frac{1}{3R\beta_n (V_1 + V_2)} + \right. \\ & \left. + \frac{1}{3R\beta_n V_1 [1 - V_1/2(V_1 + V_2)]} \right\}. \quad (2.15) \end{aligned}$$

Участок 4. Транзисторы VT1 и VT2 насыщены, VT3 и VT5 закрыты, VT4, VT6 и VT7 работают в линейной области. При этом

$$\begin{aligned} U_{\text{вых}} = & \frac{U_{\text{и.п}}}{2} \left\{ 1 - \frac{1}{2R\beta_p W_1} + \frac{1}{2R\beta_n (V_1 + V_2)} + \right. \\ & \left. + \frac{1}{2R\beta_n V_1 [1 - V_1/2(V_1 + V_2)]} \right\} + \frac{V_1^2}{4(V_1 + V_2)} \left\{ 1 + \frac{1}{2R\beta_p W_1} - \right. \\ & \left. - \frac{1}{2R\beta_n (V_1 + V_2)} - \frac{1}{2R\beta_n V_1 [1 - V_1/2(V_1 + V_2)]} \right\} + \\ & + \frac{R\beta_p}{4} \left\{ W_1^2 - \beta_{\text{отн}} V_1^2 \left[1 - \frac{V_1}{2(V_1 + V_2)} \right]^2 \right\} \times \\ & \times \left\{ 1 + \frac{1}{2R\beta_p W_1} + \frac{1}{2R\beta_n (V_1 + V_2)} + \right. \\ & \left. + \frac{1}{2R\beta_n V_1 [1 - V_1/2(V_1 + V_2)]} \right\}. \quad (2.16) \end{aligned}$$

Участок 5. Транзистор VT1 насыщен, транзисторы VT2, VT4, VT6 и VT7 работают в линейной области, VT3 и VT5 закрыты. Выходное напряжение

$$\begin{aligned}
 U_{\text{вых}} = & \frac{U_{\text{и.п}}}{3} \left[1 - \frac{2}{3R\beta_p W_1} + \frac{4}{3R\beta_n V_2} + \right. \\
 & \left. + \frac{2}{3R\beta_n (V_1 - W_1^2/2\beta_{\text{отн}} V_2)} \right] + \frac{W_1^2}{3\beta_{\text{отн}} V_2} \times \\
 & \times \left[1 + \frac{1}{3R\beta_p W_1} - \frac{2}{3R\beta_n V_2} - \frac{4}{3R\beta_n (V_1 - W_1^2/2\beta_{\text{отн}} V_2)} \right] + \\
 & + \frac{W_1^2}{6\beta_{\text{отн}} (V_1 - W_1^2/2\beta_{\text{отн}} V_2)} \left[1 + \frac{1}{3R\beta_p W_1} + \frac{4}{3R\beta_n V_2} + \right. \\
 & \left. + \frac{2}{3R\beta_n (V_1 - W_1^2/2\beta_{\text{отн}} V_2)} \right]. \quad (2.17)
 \end{aligned}$$

Участок 6. Транзисторы VT1 и VT6 насыщены, VT2, VT4 и VT7 работают в линейной области, VT3 и VT5 закрыты. В этом случае

$$U_{\text{вых}} = \frac{R\beta_p W_1^2}{4} \left[1 + \frac{4}{R\beta_n V_2} + \frac{2}{R\beta_n (V_1 - W_1^2/2\beta_{\text{отн}} V_2)} \right]. \quad (2.18)$$

Участок 7. Транзисторы VT1, VT3, VT5 и VT6 закрыты, VT2, VT4 и VT7 открыты. Выходное напряжение

$$U_{\text{вых}} = 0. \quad (2.19)$$

Упрощенная модель семейства передаточных характеристик двухвходового элемента МИН—НЕ, выполненного по схеме на рис. 2.2, приведена в табл. 2.2. Условия реализации функции $x_1 \& x_2$ схемой на рис. 2.2 могут быть приняты в виде (1.31).

На рис. 2.3 изображены передаточные характеристики элемента МИН—НЕ, рассчитанные по формулам (2.3)—(2.19). Используя их, построим отклик рассматриваемой схемы при поступлении на ее входы напряжений, показанных на рис. 2.4, а, б, которые содержат все возможные для двухвходового элемента четырехзначной логики значения входных сигналов. Отклик идеального двухвходового элемента МИН—НЕ изображен на рис. 2.4, в. Сравнивая ее с откликом описанной схемы (рис. 2.4, г), можно отметить, что элемент на рис. 2.2 выполняет требуемую операцию $x_1 \& x_2$, однако с некоторыми (хотя и в пределах допустимого) отклонениями от идеальной зависимости, которые максимальны при $X_1 = X_2 = \langle 2 \rangle$.

Более точно функцию $x_1 \& x_2$ можно реализовать описанным выше способом, если в качестве исходной (базовой) принять схему инвертора на рис. 1.14 [3]. Схема двухвходового элемента МИН—НЕ на основе такого инвертора приведена на рис. 2.5. Она содержит три резистора одного номинала и две группы КМОП-транзисторов (соответственно по две пары VT5—VT8 и VT1—VT4),

Таблица 2.2. Упрощенная модель семейства передаточных характеристик двухходового дизъюнктора (рис. 2.2.)

Номер участка	$U_{\text{вых}}$
1	$X_2 = \langle 0 \rangle$
1	$U_{\text{н.п}}$ $X_2 = \langle 1 \rangle (V_2 = U_{\text{н.п}}/3 - U_{\text{пор } n}; W_2 = 2U_{\text{н.п}}/3 + U_{\text{пор } p})$
2	$U_{\text{н.п}} - \frac{R\beta_n V_1^2/4}{[1 + V_1/(V_1 + V_2)]^2}$
3	$\frac{2U_{\text{н.п}}}{3} + \frac{V_1^2}{6} \left\{ \frac{1}{V_1 + V_2} - \frac{\beta_{\text{отн}}}{W_1 + W_2} \left[1 - \frac{V_1}{2(V_1 + V_2)} \right]^2 \right\}$
4	$\frac{2U_{\text{н.п}}}{3} + \frac{V_1^2}{6} \left\{ \frac{1}{V_1 + V_2} + \frac{W_1^2}{V_1^2 W_2} - \frac{\beta_{\text{отн}}}{W_2} \left[1 - \frac{V_1}{2(V_1 + V_2)} \right]^2 \right\}$
5	$\frac{2U_{\text{н.п}}}{3} + \frac{V_1^2}{6} \left\{ \frac{1}{V_1 + V_2} + \frac{2W_1^2}{V_1^2 W_2} - \frac{\beta_{\text{отн}}}{W_2} \left[1 - \frac{V_1}{2(V_1 + V_2)} \right]^2 \right\}$
6	$\frac{2U_{\text{н.п}}}{3} + \frac{V_1^2}{6} \left\{ \frac{1}{V_1 + V_2} - \frac{\beta_{\text{отн}}}{W_2} \left[1 - \frac{V_1}{2(V_1 + V_2)} \right]^2 \right\}$
1	$X_2 = \langle 2 \rangle (V_2 = 2U_{\text{н.п}}/3 - U_{\text{пор } n}; W_2 = U_{\text{н.п}}/3 + U_{\text{пор } p})$
2	$U_{\text{н.п}} - \frac{R\beta_n V_1^2/4}{[1 + V_1/(V_1 + V_2)]^2}$
3	$\frac{2U_{\text{н.п}}}{3} + \frac{V_1^2}{6} \left\{ \frac{1}{V_1 + V_2} - \frac{\beta_{\text{отн}}}{W_1 + W_2} \left[1 - \frac{V_1}{2(V_1 + V_2)} \right]^2 \right\}$
4	$\frac{2U_{\text{н.п}}}{3} + \frac{V_1^2}{6} \left\{ \frac{1}{V_1 + V_2} + \frac{W_2^2}{V_1^2 W_1} - \frac{\beta_{\text{отн}}}{W_1} \left[1 - \frac{V_1}{2(V_1 + V_2)} \right]^2 \right\}$
5	$\frac{U_{\text{н.п}}}{2} + \frac{R\beta_p V_1^2}{4} \left\{ \frac{1}{R\beta_p(V_1 + V_2)} + \frac{W_1^2 + W_2^2}{V_1^2} - \beta_{\text{отн}} \left[1 - \frac{V_1}{2(V_1 + V_2)} \right]^2 \right\}$
6	$\frac{U_{\text{н.п}}}{3} + \frac{W_{12} + W_2^2}{6\beta_{\text{отн}}} \left[\frac{2}{V_2} + \frac{1}{V_1 - (W_1^2 + W_2^2)/2\beta_{\text{отн}} V_2} \right]$
7	$\frac{U_{\text{н.п}}}{3} + \frac{W_1^2 + W_2^2}{6\beta_{\text{отн}}} \left[\frac{2}{V_2} + \frac{\beta_{\text{отн}} W_1^2}{W_2(W_1^2 + W_2^2)} + \frac{1}{V_1 - (W_1^2 + W_2^2)/2\beta_{\text{отн}} V_2} \right]$
8	$\frac{U_{\text{н.п}}}{3} + \frac{W_2^2}{6\beta_{\text{отн}}} \left(\frac{2}{V_2} + \frac{1}{V_1 - W_2^2/2\beta_{\text{отн}} V_2} \right)$
1	$X_2 = \langle 3 \rangle (V_2 = U_{\text{н.п}} - U_{\text{пор } n})$
2	$U_{\text{н.п}} - \frac{R\beta_n V_1^2/4}{[1 + V_1/(V_1 + V_2)]^2}$
3	$\frac{2U_{\text{н.п}}}{3} + \frac{V_1^2}{6} \left\{ \frac{1}{V_1 + V_2} - \frac{\beta_{\text{отн}}}{W_1} \left[1 - \frac{V_1}{2(V_1 + V_2)} \right]^2 \right\}$

Номер участка	$U_{\text{вых}}$
4	$\frac{U_{\text{н.п}}}{2} + \frac{R\beta_p V_1^2}{4} \left\{ \frac{1}{R\beta_p(V_1+V_2)} + \frac{W_1^2}{V_1^2} - \beta_{\text{отн}} \left[1 - \frac{V_1}{2(V_1+V_2)} \right]^2 \right\}$
5	$\frac{U_{\text{н.п}}}{3} + \frac{W_1^2}{6\beta_{\text{отн}}} \left[\frac{2}{V_2} + \frac{1}{V_1 - W_1^2/2\beta_{\text{отн}}V_2} \right]$
6	$R\beta_p W_1^2/4$
7	0

в каждой из которых к одному входу элемента подключены затворы одной комплементарной пары. Кроме того, транзисторы с каналами p -типа (VT5, VT7 и VT1, VT3) соединены параллельно, а с каналами n -типа (VT6, VT8 и VT2, VT4) — последовательно. В первой группе истоки и подложки транзисторов VT5—VT8 подсоединены стандартным образом, т. е. к шинам питания, а между соединенными стоками транзисторов VT5, VT7 и стоком транзистора VT6 включены последовательно соединенные резисторы. Точка соединения резисторов, имеющая при открытых транзисторах VT5—VT8 более высокий потенциал, подключена к истокам и подложкам входящих во вторую группу транзисторов VT1 и VT3 с каналами p -типа, а точка соединения резисторов, имеющая при тех же условиях более низкий потенциал, — к подложкам входящих в ту же группу транзисторов VT2 и VT4, а также к истоку последнего. Стоки транзисторов VT1—VT3 образуют выход элемента. Проанализируем этот вариант схемотехнического решения.

При $x_2 = \langle 0 \rangle$, т. е. $U_{\text{вх}2} = 0$ В, передаточная характеристика схемы на рис. 2.5 содержит один участок, на котором транзисторы VT3 и VT7 открыты, а VT4 и VT8 закрыты. Вследствие этого независимо от состояния других МОП-транзисторов напряжение на выходе элемента

$$U_{1-2-3} = U_{\text{н.п.}} \quad (2.20)$$

При $x_2 = \langle 1 \rangle$, т. е. $U_{\text{вх}2} = U_{\text{н.п}}/3$ и, следовательно, $V_2 = U_{\text{н.п}}/3 - U_{\text{пор } n}$, а $W_2 = 2U_{\text{н.п}}/3 + U_{\text{пор } p}$. В этом случае на передаточной характеристике рассматриваемой схемы можно выделить семь участков.

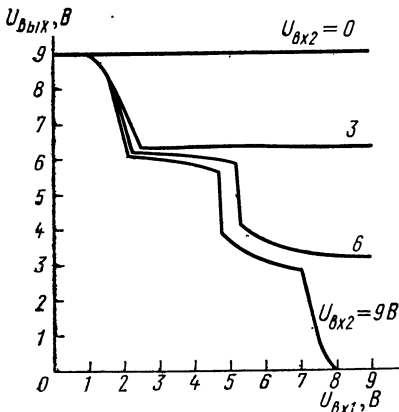


Рис. 2.3. Семейство расчетных передаточных характеристик конъюнктора (рис. 2.2) при $U_{\text{н.п.}} = 9$ В; $U_{\text{пор } n} = -U_{\text{пор } p} = 1$ В; $\beta_{\text{отн}} = 1$; $R\beta = 10$ В⁻¹

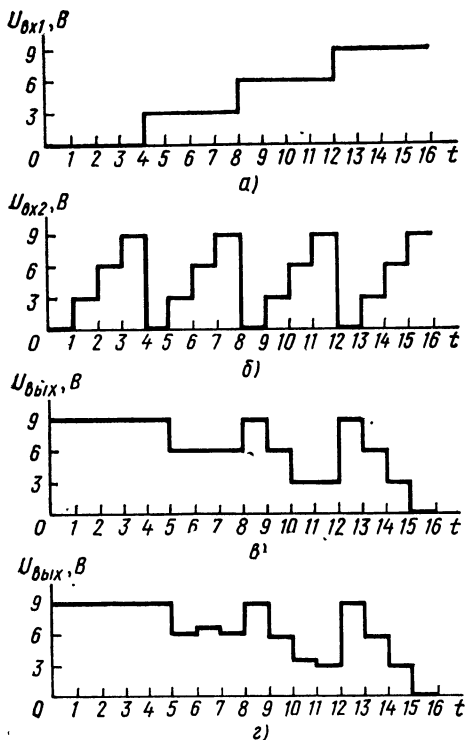


Рис. 2.4. Реакции идеального логического элемента МИН—НЕ и конъюнктора (рис. 2.2) при номинальных значениях сигналов на их входах

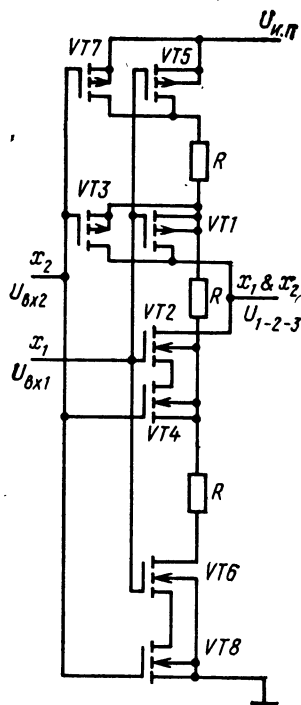


Рис. 2.5. Двухвходовый логический элемент МИН—НЕ (2-й вариант)

Участок 1. Транзисторы VT1, VT3, VT5, VT7 и VT8 открыты, VT2, VT4 и VT6 закрыты. Выходное напряжение описывается выражением (2.20).

Участок 2. Транзисторы VT1 и VT3 открыты, VT2 и VT4 закрыты, VT5, VT7 и VT8 работают в линейной области, транзистор VT6 насыщен. Выходное напряжение

$$U_{1-2-3} = U_{н.п} - \frac{R\beta_n V_1^2}{8} \left(1 + \frac{V_2}{V_1 + V_2}\right)^2 \left[1 + \frac{1}{R\beta_p(W_1 + W_2)}\right]. \quad (2.21)$$

Участок 3. Транзисторы VT1 и VT3 открыты, VT2 и VT4 закрыты. Остальные транзисторы находятся в линейной области. В этом случае

$$U_{1-2-3} = \frac{U_{н.п}}{3} \left[2 - \frac{2}{3R\beta_p(W_1 + W_2)} + \frac{1}{3R\beta_n V_2} + \frac{1}{3R\beta_n V_1}\right]. \quad (2.22)$$

Участок 4. МОП-транзисторы VT1—VT3 открыты, транзистор VT4 закрыт, транзисторы VT5—VT8 работают в линейной области. Выходное напряжение элемента определяется равенством (2.22).

Участок 5. Транзисторы VT1 и VT4 закрыты, VT2 и VT3 открыты, VT5—VT8 работают в линейной области. Выходное напряжение также описывается соотношением (2.22).

Участок 6. Транзисторы VT1 и VT4 закрыты, VT2 и VT3 открыты, транзистор VT5 насыщен, а VT6—VT8 работают в линейной области. Выходное напряжение

$$U_{1-2-3} = \frac{U_{и.п}}{3} \left(2 - \frac{2}{3R\beta_p W_2} + \frac{1}{3R\beta_n V_2} + \frac{1}{3R\beta_n V_1} \right) + \frac{W_1^2}{6W_2} \left(2 + \frac{1}{3R\beta_n V_2} + \frac{1}{3R\beta_n V_1} \right). \quad (2.23)$$

Участок 7. Транзисторы VT1, VT4 и VT5 закрыты, VT2 и VT3 открыты, VT6—VT8 работают в линейной области. При этом

$$U_{1-2-3} = \frac{U_{и.п}}{3} \left(2 - \frac{2}{3R\beta_p W_2} + \frac{1}{3R\beta_n V_2} + \frac{1}{3R\beta_n V_1} \right). \quad (2.24)$$

При $x_2 = \ll 2 \gg$, т. е. $U_{вх2} = 2U_{и.п}/3$, $V_2 = 2U_{и.п}/3 - U_{порп}$ и $W_2 = U_{и.п}/3 + U_{порр}$, передаточная характеристика схемы на рис. 2.5 содержит девять участков.

Участок 1. Транзисторы VT1, VT4, VT5, VT7 и VT8 открыты, VT2, VT3 и VT6 закрыты. Выходное напряжение описывается выражением (2.20).

Участок 2. Транзисторы VT1 и VT4 открыты, VT2 и VT3 закрыты, VT5, VT7 и VT8 работают в линейной области, транзистор VT6 насыщен. Выходное напряжение определяется равенством (2.21).

Участок 3. Транзисторы VT1 и VT4 открыты, VT2 и VT3 закрыты, VT5—VT8 работают в линейной области. Для выходного напряжения справедливо соотношение (2.22).

Участок 4. Транзисторы VT1, VT4—VT8 работают в линейной области, VT2 насыщен, VT3 закрыт. Выходное напряжение

$$U_{1-2-3} = U_A - \frac{\beta_{отн} (V_1 - U_B)^2}{2(W_1 + U_A - U_{и.п})}, \quad (2.25)$$

где

$$U_A = \frac{U_{и.п}}{3} \left[2 - \frac{2}{3R\beta_p (W_1 + W_2)} + \frac{1}{3R\beta_n V_2} + \frac{1}{3R\beta_n V_1} \right]; \quad (2.26)$$

$$U_B = \frac{U_{и.п}}{3} \left[1 - \frac{1}{3R\beta_p (W_1 + W_2)} + \frac{2}{3R\beta_n V_2} + \frac{2}{3R\beta_n V_1} \right]. \quad (2.27)$$

Участок 5. Транзисторы VT1 и VT2 насыщены, транзистор VT3 закрыт, транзисторы VT4—VT8 работают в линейной области. Вы-

ходное напряжение U_{1-2-3} элемента претерпевает скачок при $U_{вх1} = U_{кр}$, где

$$U_{кр} = \frac{U_A + U_B \sqrt{\beta_{отн}} + U_{порр} + U_{порн} \sqrt{\beta_{отн}}}{1 + \sqrt{\beta_{отн}}}. \quad (2.28)$$

Величины U_A и U_B определяются по (2.26) и (2.27) при условии, что $W_1 = W_{1кр}$ и $V_1 = V_{1кр}$, т. е. $W_{1кр} = U_{и.п} - U_{кр} + U_{порр}$, а $V_{1кр} = U_{кр} - U_{порн}$.

Участок 6. Транзистор VT1 насыщен, транзисторы VT2 и VT4—VT8 работают в линейной области, транзистор VT3 закрыт. Выходное напряжение

$$U_{1-2-3} = U_B + \frac{(W_1 + U_A - U_{и.п})^2}{2\beta_{отн}(V_1 - U_B)}. \quad (2.29)$$

Величины U_A и U_B определяются по (2.26) и (2.27).

Участок 7. Транзисторы VT1 и VT3 закрыты, VT2 и VT4 открыты, VT5—VT8 находятся в линейной области. В этом случае

$$U_{1-2-3} = \frac{U_{и.п}}{3} \left[1 - \frac{1}{3R\beta_p(W_1 + W_2)} + \frac{2}{3R\beta_n V_2} + \frac{2}{3R\beta_n V_1} \right]. \quad (2.30)$$

Участок 8. Транзисторы VT1 и VT3 закрыты, VT2 и VT4 открыты, транзистор VT5 насыщен, а VT6—VT8 работают в линейной области. Имеем

$$U_{1-2-3} = \frac{U_{и.п}}{3} \left(1 - \frac{1}{3R\beta_p W_2} + \frac{2}{3R\beta_n V_2} + \frac{2}{3R\beta_n V_1} \right) + \frac{W_1^2}{6W_2} \left(1 + \frac{2}{3R\beta_n V_2} + \frac{2}{3R\beta_n V_1} \right). \quad (2.31)$$

Участок 9. Транзисторы VT1, VT3 и VT5 закрыты, VT2 и VT4 открыты, VT6—VT8 работают в линейной области. Выходное напряжение

$$U_{1-2-3} = \frac{U_{и.п}}{3} \left(1 - \frac{1}{3R\beta_p W_2} + \frac{2}{3R\beta_n V_2} + \frac{2}{3R\beta_n V_1} \right). \quad (2.32)$$

При $x_2 = \langle 3 \rangle$, т. е. $U_{вх2} = U_{и.п}$, $V_2 = U_{и.п} - U_{порн}$ и $W_2 = 0$, транзисторы VT3, VT7 закрыты, а VT4, VT8 открыты. В этом случае рассматриваемая схема работает как инвертор на рис. 1.14. Действительно, при указанных условиях передаточная характеристика элемента на рис. 2.5 содержит девять участков.

Участок 1. Транзисторы VT1, VT4, VT5 и VT8 открыты, VT2, VT3, VT6 и VT7 закрыты. Выходное напряжение описывается выражением (2.20).

Участок 2. Транзисторы VT1 и VT4 открыты, VT2, VT3 и VT7 закрыты, VT5 и VT8 работают в линейной области, транзистор VT6 насыщен. Выходное напряжение

$$U_{1-2-3} = U_{н.п} - \frac{R\beta_n V_1^2}{8} \left(1 + \frac{V_2}{V_1 + V_2}\right)^2 \left(1 + \frac{1}{R\beta_n W_1}\right). \quad (2.33)$$

Участок 3. Транзисторы VT1 и VT4 открыты, VT2, VT3 и VT7 закрыты, VT5—VT8 работают в линейной области. В этом случае

$$U_{1-2-3} = \frac{U_{н.п}}{3} \left(2 - \frac{2}{3R\beta_p W_1} + \frac{1}{3R\beta_n V_2} + \frac{1}{3R\beta_n V_1}\right). \quad (2.34)$$

Участок 4. Транзисторы VT1, VT4—VT6 и VT8 работают в линейной области, транзистор VT2 насыщен, VT3 и VT7 закрыты. Для вычисления выходного напряжения можно воспользоваться равенством (2.25) при условии, что

$$U_A = \frac{U_{н.п}}{3} \left(2 - \frac{2}{3R\beta_p W_1} + \frac{1}{3R\beta_n V_2} + \frac{1}{3R\beta_n V_1}\right); \quad (2.35)$$

$$U_B = \frac{U_{н.п}}{3} \left(1 - \frac{1}{3R\beta_p W_1} + \frac{2}{3R\beta_n V_2} + \frac{2}{3R\beta_n V_1}\right). \quad (2.36)$$

Участок 5. Транзисторы VT1 и VT2 насыщены, VT3 и VT7 закрыты, VT4—VT6 и VT8 работают в линейной области. Выходное напряжение претерпевает скачок при $U_{вх1} = U_{кр}$. Значение $U_{кр}$ можно вычислить, воспользовавшись (2.28), а также (2.35) и (2.36), приняв $W_1 = W_{1кр}$ и $V_1 = V_{1кр}$.

Участок 6. Транзистор VT1 насыщен, транзисторы VT2, VT4—VT6 и VT8 работают в линейной области, VT3 и VT7 закрыты. Для вычисления выходного напряжения следует использовать соотношения (2.29), (2.35) и (2.36).

Участок 7. Транзисторы VT1, VT3 и VT7 закрыты, VT2 и VT4 открыты, VT5—VT8 работают в линейной области. Выходное напряжение

$$U_{1-2-3} = \frac{U_{н.п}}{3} \left(1 - \frac{1}{3R\beta_p W_1} + \frac{2}{3R\beta_n V_2} + \frac{2}{3R\beta_n V_1}\right). \quad (2.37)$$

Участок 8. Транзисторы VT1, VT3 и VT7 закрыты, VT2 и VT4 открыты, транзистор VT5 насыщен, а VT6 и VT8 работают в линейной области. Имеем

$$U_{1-2-3} = \frac{R\beta_p W_1^2}{2} \left(1 + \frac{1}{R\beta_n V_2} + \frac{1}{R\beta_n V_1}\right). \quad (2.38)$$

Участок 9. Транзисторы VT1, VT3, VT5 и VT7 закрыты, VT2, VT4, VT6 и VT8 открыты. Выходное напряжение

$$U_{1-2-3} = 0. \quad (2.39)$$

Упрощенная модель семейства передаточных характеристик двухвходового элемента МИН—НЕ, выполненного по схеме на рис. 2.5, приведена в табл. 2.3. Условия реализации функции $x_1 \& x_2$ схемой на рис. 2.5 также определяются (1.31).

На рис. 2.6 показаны передаточные характеристики описанной схемы элемента МИН—НЕ. Поскольку передаточные характери-

Таблица 2.3. Упрощенная модель семейства передаточных характеристик двухходового конъюнктора (рис. 2.5)

Номер участка	U_{1-2-3}
	$X_2 = \langle 0 \rangle$
1	$U_{н.п}$
	$X_2 = \langle 1 \rangle (V_2 = U_{н.п}/3 - U_{пор\ n})$
1	$U_{н.п}$
2	$U_{н.п} - \frac{R\beta_n V_1^2}{8} \left(1 + \frac{V_2}{V_1 + V_2}\right)^2$
3—7	$\frac{2U_{н.п}}{3}$
	$X_2 = \langle 2 \rangle (V_2 = 2U_{н.п}/3 - U_{пор\ n})$
1	$U_{н.п}$
2	$U_{н.п} - \frac{R\beta_n V_1^2}{8} \left(1 + \frac{V_2}{V_1 + V_2}\right)^2$
3	$\frac{2U_{н.п}}{3}$
4	$\frac{2U_{н.п}}{3} - \frac{\beta_{отн}(V_1 - U_{н.п}/3)^2}{2(W_1 - U_{н.п}/3)}$
5	Претерпевает скачок
6	$\frac{U_{н.п}}{3} + \frac{(W_1 - U_{н.п}/3)^2}{2\beta_{отн}(V_1 - U_{н.п}/3)}$
7—9	$\frac{U_{н.п}}{3}$
	$X_2 = \langle 3 \rangle (V_2 = U_{н.п} - U_{пор\ n})$
1	$U_{н.п}$
2	$U_{н.п} - \frac{R\beta_n V_1^2}{8} \left(1 + \frac{V_2}{V_1 + V_2}\right)^2$
3	$\frac{2U_{н.п}}{3}$
4	$\frac{2U_{н.п}}{3} - \frac{\beta_{отн}(V_1 - U_{н.п}/3)^2}{2(W_1 - U_{н.п}/3)}$
5	Претерпевает скачок
6	$\frac{U_{н.п}}{3} + \frac{(W_1 - U_{н.п}/3)^2}{2\beta_{отн}(V_1 - U_{н.п}/3)}$
7	$\frac{U_{н.п}}{3}$
8	$R\beta_p W_1^2/2$
9	0

стики этого элемента, как и передаточные характеристики инвертора на рис. 1.14, на базе которого он построен, близки к идеальным, то реакция элемента МИН—НЕ на рис. 2.5 при поступлении на его входы сигналов, показанных на рис. 2.4, а, б, совпадает (в масштабе рис. 2.4, в) с реакцией идеального элемента, выполняющего операцию $x_1 \& x_2$.

Таким образом, мы рассмотрели два близких по сложности варианта реализации функции МИН—НЕ, но первый представляет

все же более простое схемотехническое решение, а второй точнее воспроизводит требуемую функциональную зависимость.

Реализация функции МИН—НЕ большего, чем рассмотрено выше, числа переменных не должна вызывать затруднений, поскольку имеет место полная аналогия с двоичным случаем. В качестве иллюстрации на рис. 2.7, а, б приведены схемы трехвыходных конъюнкторов: первый и второй варианты реализации соответственно.

Что касается реализации функциональной зависимости МИН в чистом виде, то вполне достаточно использовать инверторы на выходе уже рассмотренных элементов МИН—НЕ. Однако подход, принятый при построении репитеров, представляется более целесообразным, так как упрощает схемотехническое решение (рис. 2.8, а, б).

Оба представленных варианта элемента, выполняющего операцию $x_1 \& x_2$, имеют одинаковую сложность: каждый содержит шесть МОП-транзисторов с индуцированными каналами p -типа, пять МОП-транзисторов с индуцированными каналами n -типа и четыре резистора. Входные каскады (транзисторы VT1—VT7 и резистор, включенный между соединенными стоками транзисторов

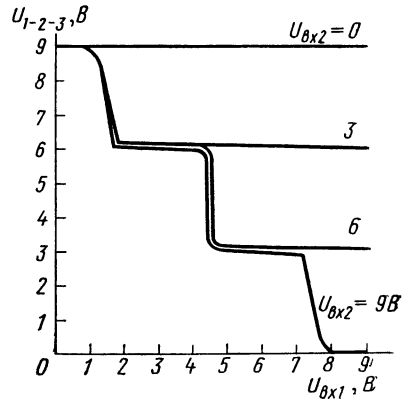


Рис. 2.6. Семейство расчетных передаточных характеристик конъюнктора (рис. 2.5) при $U_{н.п} = 9$ В; $U_{пор\ n} = -U_{пор\ p} = 1$ В; $\beta_{отн} = 1$; $R\beta = 10$ В⁻¹

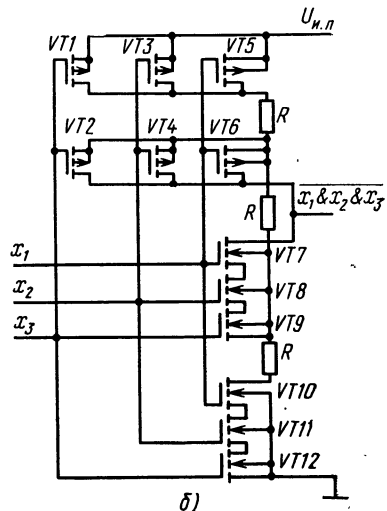
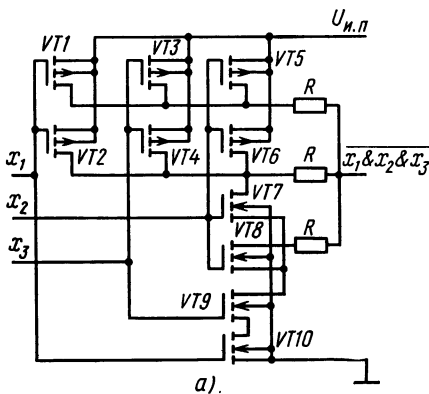


Рис. 2.7. Варианты трехвыходного логического элемента МИН—НЕ

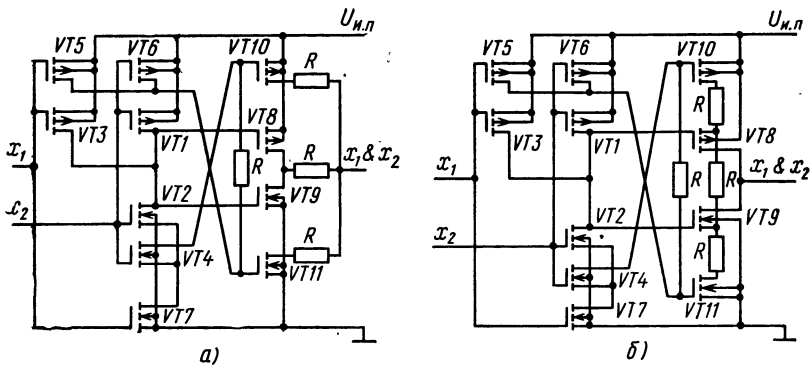


Рис. 2.8. Варианты двухвходового логического элемента МИН

VT5, VT6 и стоком транзистора VT4) обеих схем одинаковые: они представляют собой пороговые детекторы с набором трех двухвходовых пороговых функций $x_1^0 \vee x_2^0$, $x_1^1 \vee x_2^1$ и $x_1^2 \vee x_2^2$. В выходных частях рассматриваемых конъюнкторов (транзисторы VT8—VT11 и три резистора) использованы в несколько измененном виде четырехзначные инверторы на рис. 1.10 и 1.16 соответственно.

Отметим, что вследствие эффекта двойного квантования, который обсуждался в гл. 1, передаточные характеристики схем на рис. 2.8 близки к идеальным.

2.2. ДИЗЬЮНКТОРЫ

Дизьюнкторами называют логические элементы, выполняющие многовходовую операцию «максимум»:

$$x_1 \vee x_2 \vee \dots \vee x_n = \max(X_1, X_2, \dots, X_n). \quad (2.40)$$

К дизьюнкторам будем относить также и логические элементы МАКС—НЕ, реализующие операцию, инверсную (2.40).

Поскольку функции МИН, МАКС, как и функции МИН—НЕ, МАКС—НЕ, двойственны, то вопрос реализации операций МАКС и МАКС—НЕ может быть сведен к построению схем, «зеркальных» по отношению к описанным в § 2.1, т. е. в четырехзначной логике сохраняется известное для двоичного случая соответствие схем конъюнкторов и дизьюнкторов. В связи с этим приведем основные схемы дизьюнкторов без их подробного описания и анализа.

На рис. 2.9, а изображена схема двухвходового элемента МАКС—НЕ, выполненного на базе инвертора (см. рис. 1.10). Эта схема «зеркальна» по отношению к схеме конъюнктора на рис. 2.2. На рис. 2.9, б показан другой вариант схемотехнического решения для этой же функции, впервые описанный в [4]. Ему «зеркально»

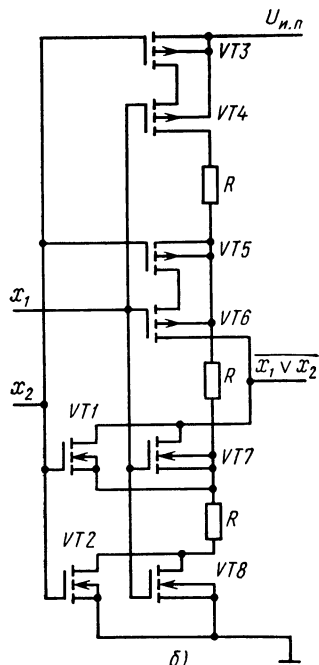
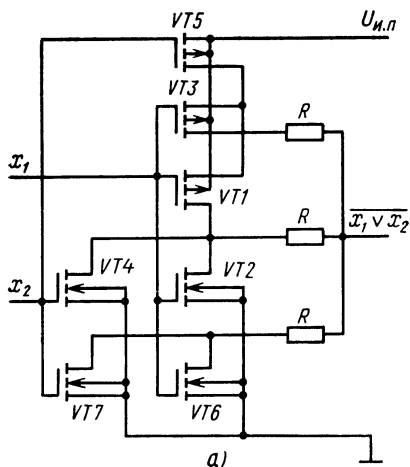


Рис. 2.9. Варианты двухвходового логического элемента МАКС—НЕ

соответствует схема конъюнктора на рис. 2.5, выполненная на основе инвертора (см. рис. 1.14).

Как и в случае указанных конъюнкторов (см. рис. 2.2 и 2.5), первый из приведенных вариантов построения двухвходового элемента МАКС—НЕ несколько проще, а второй воспроизводит функциональную зависимость точнее.

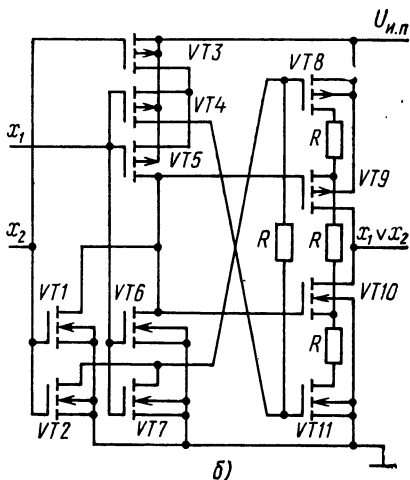
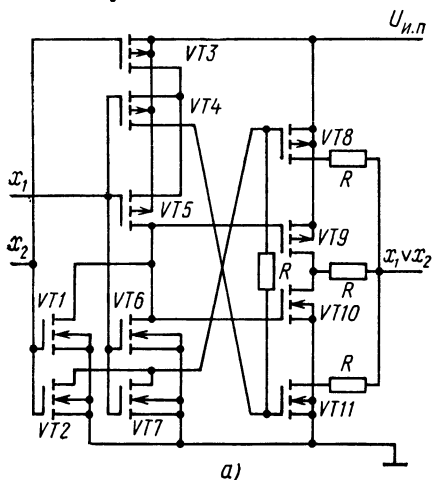


Рис. 2.10. Варианты двухвходового логического элемента МАКС

На рис. 2.10, *a*, *б* представлены схемы элементов, выполняющих операцию дизъюнкции в чистом виде: в логическом плане их функционирование описывается выражением $x_1 \vee x_2$. «Зеркальными» аналогами этих схем являются конъюнкторы на рис. 2.8. Как и последние, дизъюнкторы рис. 2.10 достаточно точно воспроизводят требуемую функциональную зависимость.

2.3. МНОЖИТЕЛЬНЫЕ ЭЛЕМЕНТЫ

Множительными будем называть логические элементы, выполняющие операцию

$$x_1 x_2 = (X_1 \times X_2) \bmod 4. \quad (2.41)$$

На элементном уровне возможность реализации функции (2.41) на КМОП-транзисторах ранее уже рассматривалась [8]. Однако первое предложение, основанное на принципе «декодер — кодер» с использованием в декодирующей части одноходовых пороговых детекторов, оказалось очень сложным (13 пар КМОП-транзисторов и 11 резисторов).

Более простое решение может быть получено в результате применения в декодирующей части двухходовых пороговых детекторов. Такой подход реализован в схеме множительного элемента на рис. 2.11, который содержит десять пар КМОП-транзисторов (VT1—VT7 и VT13—VT15 с индуцированными каналами *p*-типа, VT8—VT12 и VT16—VT20 с индуцированными каналами *n*-типа) и семь резисторов одного номинала.

В схеме на рис. 2.11 можно условно выделить две части: декодирующую, содержащую три двухходовых пороговых детектора (транзисторы VT1—VT12 и два резистора, первый из которых включен между стоком транзистора VT1 и соединенными стоками транзисторов VT3, VT8 и VT9, а второй — между стоком транзистора VT12 и соединенными стоками транзисторов VT6 и VT7), и кодирующую, выполненную на восьми транзисторах (VT13—VT20) и пяти резисторах, четыре из которых соединены звездой, а пятый включен между стоками транзисторов VT13 и VT17.

В рассматриваемой схеме у большинства транзисторов подложки и истоки соединены стандартно. Исключение составляют транзисторы VT1, VT3 (VT10, VT12), истоки которых соединены со стоком транзистора VT2 (VT11), а также транзисторы VT14 и VT15 (исток VT14 подсоединен к стокам транзисторов VT4, VT5, VT10 и к одному из резисторов, включенных звездой, а исток VT15 — к стокам транзисторов VT6 и VT7, а также к затвору транзистора VT17). К остальным трем соединенным звездой резисторам подключены попарно стоки транзисторов VT13, VT19; VT14, VT18 и VT15, VT16. Затворы транзисторов кодирующей части схемы включены следующим образом: у VT13, VT15 и VT19 они подсоединены к стоку транзистора VT1, у VT14 и VT18 — к стокам транзисторов VT3, VT8 и VT9, а затвор транзистора VT16 (VT20) — к стоку транзистора VT17 (VT12). Входы рассмат-

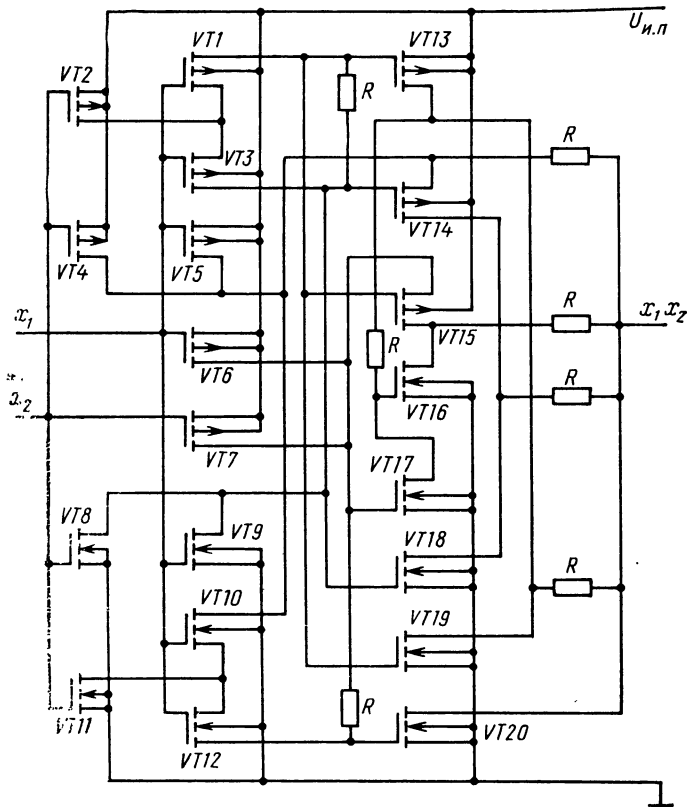


Рис. 2.11. Множительный элемент

риваемого элемента являются входами пороговых детекторов, его выход образован общей точкой соединенных звездой резисторов, к которой подключен сток транзистора VT20.

Следует отметить, что схема на рис. 2.11, предлагаемая для реализации функции (2.41), существенно сложнее всех рассмотренных ранее. Ее анализ не вызывает принципиальных трудностей, но он очень громоздок: следует рассмотреть 20 транзисторов, причем каждый в четырех состояниях (закрит, открит, а также работа в крутой и пологой областях ВАХ).

Поэтому ограничимся качественным анализом работы элемента на рис. 2.11. Это тем более просто, поскольку его декодирующая часть — двухвходовые пороговые детекторы — простейшие схемы, которые уже использовались ранее при построении других элементов (например, на рис. 2.8, а или 2.10, а) и для описания работы которых на этом уровне вполне пригодны таблицы истинности реализуемых функций. С другой стороны, так как пороговые функции принимают только два значения «0» и «3», которые, следовательно, являются единственно возможными для сигналов,

поступающих в кодирующую часть схемы при номинальных значениях входных переменных, то входящие в нее транзисторы VT13—VT20 функционируют в этих условиях по принципу «открыт — закрыт», что облегчает определение значения выходного сигнала.

Рассмотрим работу схемы на рис. 2.11. При поступлении на входы элемента сигналы, представляющие переменные x_1 и x_2 , декодируются с помощью трех двухвходовых пороговых детекторов. Последние распознают значения переменных и вырабатывают соответствующие этим значениям сигналы, связанные с входными переменными следующими функциональными зависимостями.

Пороговый детектор, выполненный на транзисторах VT1—VT3, VT8, VT9 и одном резисторе, реализует при условии (1.31) две двухвходовые пороговые функции: $x_1^1 \& x_2^1$ — на соединенных вместе стоках транзисторов VT3, VT8, VT9 и $x_1^1 \& x_2^2$ — на стоке VT1.

Пороговый детектор на транзисторах VT4, VT5, VT10 и VT11 при том же условии на соединении стоков транзисторов VT4, VT5 и VT10 реализует двухвходовую пороговую функцию $x_1^1 \vee x_2^1$.

Пороговый детектор, в состав которого входят транзисторы VT6, VT7, VT11 и VT12, а также резистор, реализует при выполнении условия (1.31) еще две двухвходовые пороговые функции: $x_1^0 \vee x_2^0$ — на стоке транзистора VT12 и $x_1^2 \vee x_2^2$ — на соединенных стоках транзисторов VT6 и VT7.

Таблицы истинности указанных пороговых функций сведены в табл. 2.4, которая, таким образом, описывает функционирование декодирующей части схемы на рис. 2.11.

Таблица 2.4. Таблица истинности пороговых функций, описывающих работу декодирующей части схемы на рис. 2.11

Входы		Сток транзистора				
x_2	x_1	VT3	VT1	VT4	VT6	VT12
0	0	3	3	3	3	3
	1	3	3	3	3	3
	2	0	3	3	3	3
	3	0	0	3	3	3
1	0	3	3	3	3	3
	1	3	3	3	3	0
	2	0	3	3	3	0
	3	0	0	3	3	0
2	0	0	3	3	3	3
	1	0	3	3	3	0
	2	0	3	0	3	0
	3	0	0	0	3	0
3	0	0	0	3	3	3
	1	0	0	3	3	0
	2	0	0	0	3	0
	3	0	0	0	0	0

Таблица 2.5. Таблица истинности функций, описывающих работу кодирующей части схемы на рис. 2.11

Входы		Сток транзистора				f	Выход
x_2	x_1	VT4	VT13	VT14	VT15		
0	0	3	0	0	0	1	0
	1	3	0	0	0	1	0
	2	3	0	3	0	2	0
	3	3	3	3	3	3	0
1	0	3	0	0	0	1	0
	1	3	0	0	0	1	1
	2	3	0	3	0	2	2
	3	3	3	3	3	3	3
2	0	3	0	3	0	2	0
	1	3	0	3	0	2	2
	2	0	0	0	0	0	0
	3	0	3	0	3	2	2
3	0	3	3	3	3	3	0
	1	3	3	3	3	3	3
	2	0	3	0	3	2	2
	3	0	3	0	0	1	1

Далее сигналы с выходов декодирующей части множительного элемента поступают на входы кодирующей, которая после некоторых преобразований функций пороговых детекторов с последующим суммированием на четырех резисторах одного номинала, включенных звездой, формирует на выходе сигнал в соответствии с таблицей истинности функции (2.41). Сущность этих преобразований поясняется табл. 2.5.

Рассмотрим ее подробнее. Сигнал со стоков транзисторов VT4, VT5 и VT10, описываемый функцией $x_1^1 \vee x_2^1$, не претерпевает изменений (столбец «VT4»). Сигнал, формируемый на стоке транзистора VT1, представляющий функцию $x_1^2 \& x_2^2$, в кодирующей части схемы просто инвертируется: инвертором служит пара транзисторов VT13, VT19 (столбец «VT13»). С помощью транзисторов VT14 и VT18 в кодирующей части схемы выполняется преобразование описываемого функцией $x_1^1 \& x_2^2$ сигнала на соединенных стоках транзисторов VT3, VT8 и VT9, который также инвертируется, но лишь частично (столбец «VT14», где «0» означает высокоомное состояние, т. е. транзисторы VT14 и VT18 в этом случае закрыты). Последнее преобразование осуществляется частью схемы, включающей транзисторы VT15—VT17 и один резистор, которые формируют на стоках транзисторов VT15 и VT16 частично определенную функцию (столбец «VT15»).

Четыре соединенных звездой резистора выполняют операцию суммирования сигналов, значения которых для каждой конкретной входной ситуации представляет строка в табл. 2.5 (за исклю-

чением столбцов « f » и «Выход»). Для примера рассмотрим одну из ситуаций.

Пусть $X_1 = X_2 = \langle 1 \rangle$ (шестая строка). Согласно принятому варианту представления информации «3» — это значение сигнала, равное $U_{и.п.}$, а «0» соответствует потенциалу общей шины. В результате рассматриваемое соединение резисторов выглядит так, как это показано на рис. 2.12, т. е. образует включенный между шинами питания делитель напряжения, у которого вследствие равенства номиналов резисторов коэффициент деления составляет $1/3$. Таким образом, напряжение в точке соединения резисторов в рассматриваемом случае равно $U_{и.п.}/3$, т. е. «1».

Результат такого суммирования для всех возможных комбинаций значений входных сигналов в табл. 2.5 обозначен « f ».

Полученная функциональная зависимость f отличается от функции (2.41), реализация которой рассматривается, что легко установить, сравнивая таблицу истинности последней и f . Однако отличия имеют место только для тех наборов, на которых пороговая функция $x_1^0 \vee x_2^0$, формируемая на стоке транзистора VT12 (см. табл. 2.4), принимает значение «3». Это позволяет осуществить необходимую коррекцию, что и выполняется с помощью транзистора VT20: когда сигнал на стоке транзистора VT12 принимает значение «3», транзистор VT20 открывается и выходному сигналу элемента присваивается значение «0». Скорректированная таким образом функциональная зависимость (столбец «Выход» табл. 2.5)

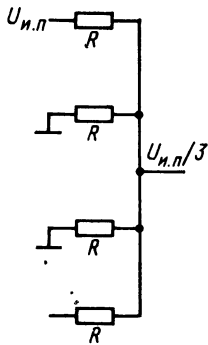


Рис. 2.12. Формирование выходного сигнала в множительном элементе (рис. 2.11) при $X_1 = X_2 = \langle 1 \rangle$

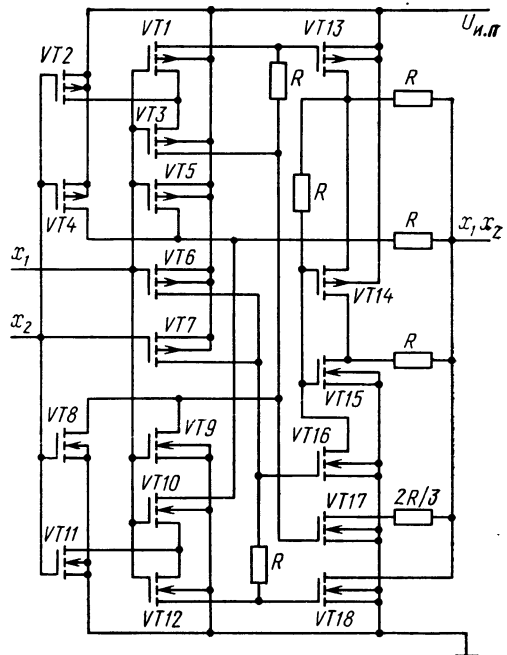


Рис. 2.13. Множительный элемент (модификация)

полностью соответствует таблице истинности функции $(X_1 \times X_2) \bmod 4$.

В описанном варианте множительного элемента требование равенства номиналов касается только резисторов, соединенных звездой, но в принципе все резисторы в схеме могут быть одного номинала. Если все же допустить, что в схеме принципиально необходимы резисторы разных номиналов, то возможно более простое схемотехническое решение (рис. 2.13). Этот вариант реализации операции умножения по модулю четыре лишь незначительно отличается от уже рассмотренного: декодирующие части обеих схем полностью совпадают, в кодирующей части схемы на рис. 2.13 число активных приборов и внутрисхемных соединений уменьшено в результате частичного упрощения выполняемых здесь функциональных преобразований. При этом у одного из резисторов, соединенных звездой, номинал уменьшен на 1/3 по сравнению с остальными.

Функционирование кодирующей части схемы на рис. 2.13 поясняется табл. 2.6, в которую сведены все выполняемые в ней функциональные преобразования. Особенность заключается в том, что сигналы, представляющие формируемую на стоке транзистора VT13 функцию, различаются не только по своему значению: «3» вырабатывается на стоке транзистора VT13 непосредственно, а «0» поступает со стока транзистора VT16 через резистор, который влияет на результат суммирования. Именно это обстоятельство при условии, что номинал указанного резистора (включенного между стоками транзисторов VT13 и VT16) равен номиналу резистора,

Таблица 2.6. Таблица истинности функций, описывающих работу кодирующей части схемы (рис. 2.13)

Входы		Сток транзистора				f	Выход
X ₂	X ₁	VT4	VT13	VT14	VT17		
0	0	3	0	0	0	1	0
	1	3	0	0	0	1	0
	2	3	0	0	0	2	0
	3	3	3	3	3	3	0
1	0	3	0	0	0	1	0
	1	3	0	0	0	1	1
	2	3	0	0	0	2	2
	3	3	3	3	3	3	3
2	0	3	0	0	0	2	0
	1	3	0	0	0	2	2
	2	0	0	0	0	0	0
	3	0	3	3	0	2	2
3	0	3	3	3	0	3	0
	1	3	3	3	0	3	3
	2	0	3	3	0	2	2
	3	0	3	0	0	1	1

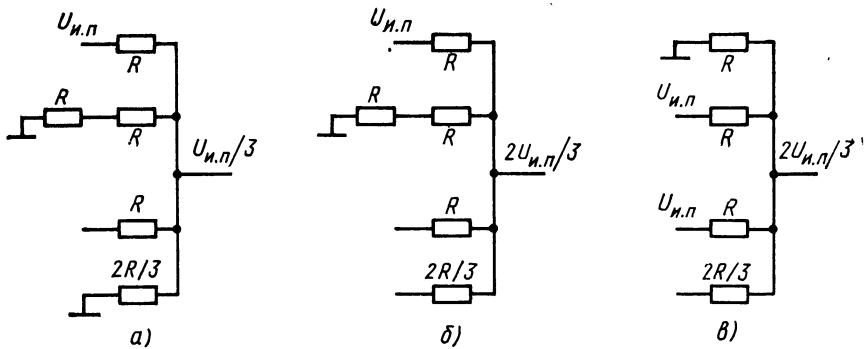


Рис. 2.14. К пояснению формирования выходного сигнала в множительном элементе на рис. 2.13

соединенного с ним (включенного между стоком транзистора VT13 и выходом элемента), позволило упростить некоторые функциональные зависимости, в частности принять их в том виде, как показано в табл. 2.6 (столбцы «VT14» и «VT17»).

С помощью рис. 2.13, а—в поясняется механизм формирования выходного сигнала элемента для трех различных входных ситуаций: соответственно $X_1 = X_2 = \langle 1 \rangle$; $X_1 = \langle 1 \rangle$, $X_2 = \langle 2 \rangle$ и $X_1 = \langle 2 \rangle$, $X_2 = \langle 3 \rangle$ (шестая, седьмая и двенадцатая строки табл. 2.6), что вполне достаточно для его понимания.

2.4. СУММАТОРЫ

В четырехзначной логике сумматорами называют элементы, выполняющие операцию

$$x_1 \oplus x_2 = (X_1 + X_2) \bmod 4. \quad (2.42)$$

Операция (2.42), являющаяся основной арифметической функцией, чрезвычайно важна для выполнения вычислений. Тем не менее даже для ее двоичного аналога $(X_1 + X_2) \bmod 2$ реализация на элементном уровне отсутствует. Двоичный сумматор, как правило, представляет собой логическую сеть из базовых элементов, описываемую, например, булевым выражением

$$(X_1 + X_2) \bmod 2 = x_1 \bar{x}_2 \vee \bar{x}_1 x_2. \quad (2.43)$$

Такой путь не исключается и в рассматриваемом случае: описанных выше элементов четырехзначной логики вполне достаточно для этой цели. Например, в алгебре Россера — Тьюкетта, являющейся прямым обобщением булевой, функцию (2.42) можно представить следующим образом:

$$\begin{aligned} x_1 \oplus x_2 = & x_1 \& \delta_0(x_2) \vee \delta_0(x_1) \& x_2 \vee 1 \& \delta_2(x_1) \& \delta_3(x_2) \vee \\ & \vee 1 \& \delta_3(x_1) \& \delta_2(x_2) \vee 2 \& \delta_1(x_1) \& \delta_1(x_2) \vee 2 \& \delta_3(x_1) \& \delta_3(x_2) \vee \\ & \vee 3 \& \delta_1(x_1) \& \delta_2(x_2) \vee 3 \& \delta_2(x_1) \& \delta_1(x_2). \end{aligned} \quad (2.44)$$

И все же если (2.43) — весьма простое выражение и поэтому используемое практически, то сложность выражения (2.44) является веским доводом в пользу реализации операции (2.42) на элементном уровне.

Исходя из приведенных соображений рассмотрим эту возможность. Можно предложить реализацию сумматора в виде рис. 2.15. Здесь использован тот же подход, что и в множительных элементах, т. е. структурно решение укладывается в схему «декодер — кодер». В этом случае требуется 24 КМОП-транзистора и 12 резисторов одного номинала, что более чем в шесть раз проще варианта, построенного по (2.44).

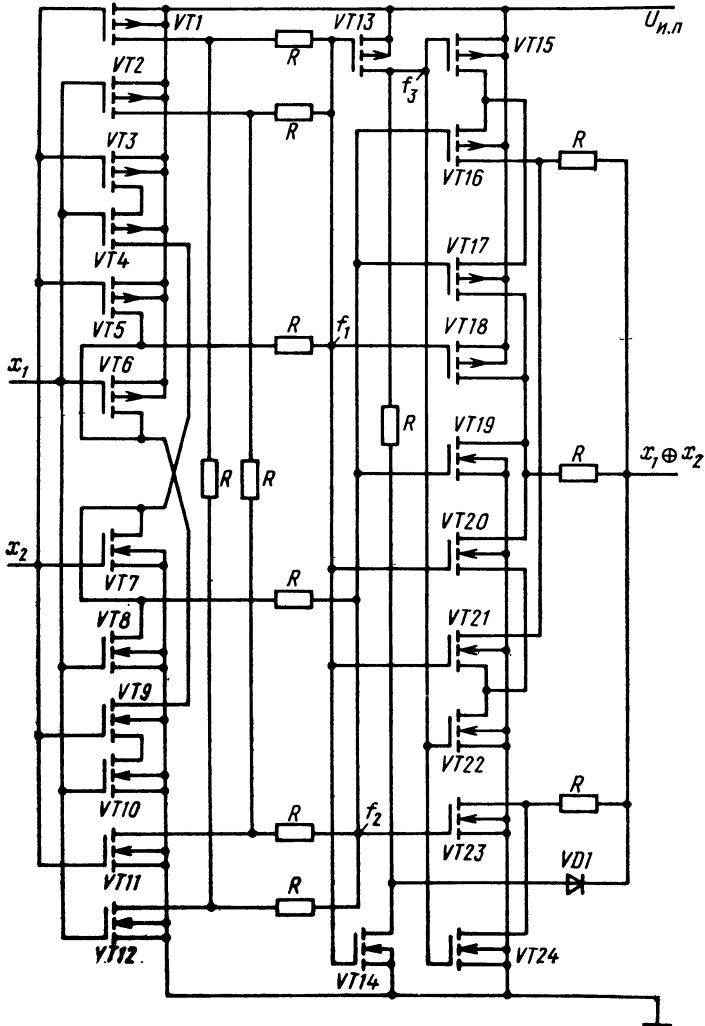


Рис. 2.15. Сумматор

Таблица 2.7. Таблица истинности функций, описывающих работу декодирующей части схемы на рис. 2.15

Входы		Сток транзистора					
X_2	X_1	VT1	VT2	VT5	VT11	VT12	VT4
0	0	3	3	3	3	3	3
	1	3	3	3	3	0	3
	2	3	3	3	3	0	0
	3	3	0	3	0	0	0
1	0	3	3	3	0	3	3
	1	3	3	3	0	0	3
	2	3	3	3	0	0	0
	3	3	0	3	0	0	0
2	0	3	3	3	0	3	0
	1	3	3	3	0	0	0
	2	3	3	0	0	0	0
	3	3	0	0	0	0	0
3	0	0	3	3	0	0	0
	1	0	3	3	0	0	0
	2	0	3	0	0	0	0
	3	0	0	0	0	0	0

Декодирующая часть элемента на рис. 2.15 (транзисторы VT1—VT12 и два резистора, первый из которых включен между стоками транзисторов VT1 и VT12, а второй — между стоками транзисторов VT2 и VT11) представляет собой четыре двухвходовых пороговых детектора. Табл. 2.7, в которой приведены все функции, выполняемые указанными пороговыми детекторами, является достаточным для понимания описанием работы декодирующей части элемента. В ней выделены те сигналы, которые поступают на выходы пороговых детекторов не непосредственно, а через сопротивление номинала R , что следует учитывать при анализе работы кодирующей части элемента.

Кодирующая часть сумматора на рис. 2.15 выполнена в две ступени. Первая ступень содержит шесть резисторов одного номинала, образующих два аналоговых резистивных сумматора, один из которых подключен к стокам транзисторов VT1, VT2 и VT5 (VT6, VT9), а другой — к стокам транзисторов VT4 (VT7, VT8), VT11 и VT12. Функция этой ступени сводится к выполнению операций суммирования формируемых на стоках перечисленных выше транзисторов декодирующей части сигналов. Для каждой конкретной входной ситуации их значения соответствуют частям строк табл. 2.7 в пределах столбцов «VT1», «VT2», «VT5» для первого резистивного сумматора и «VT11», «VT12», «VT4» — для второго.

Таким образом, на первой ступени реализованы две функции четырехзначной логики, обозначенные в табл. 2.8 символами « f_1 » и « f_2 », причем первые колонки « f_1 » и « f_2 » представляют действи-

Таблица 2.8. Функции, описывающие работу первой ступени кодирующей части схемы на рис. 2.15

Входы		f_1		f_2		Сток транзистора	
X_2	X_1					VT13	VT14
0	0	3	3	3	3	0	0
	1	3	3	1,8	2	0	0
	2	3	3	0,6	1	0	0
	3	2,6	3	0,4	0	0	0
1	0	3	3	1,8	2	0	0
	1	3	3	1	1	0	0
	2	3	3	0	0	0	0
	3	2,4	2	0	0	3	0
2	0	3	3	0,6	1	0	0
	1	3	3	0	0	0	0
	2	2	2	0	0	3	0
	3	1,2	1	0	0	3	0
3	0	2,6	3	0,4	0	0	0
	1	2,4	2	0	0	3	0
	2	1,2	1	0	0	3	0
	3	0	0	0	0	3	3

тельные результаты на выходах резистивных сумматоров, а второе — соответствующие логические значения.

Отклонения действительных значений от номинальных имеют место вследствие того, что часть сигналов (соответствующие значения в табл. 2.7 выделены) поступает на резистивные сумматоры через входящие в состав пороговых детекторов резисторы, сопротивления которых влияют на результаты суммирования. Через эти же резисторы осуществляется нежелательная взаимосвязь резистивных сумматоров, изменяющая результаты суммирования при входных ситуациях $X_1 = \langle 3 \rangle$, $X_2 = \langle 0 \rangle$ и $X_1 = \langle 0 \rangle$, $X_2 = \langle 3 \rangle$.

Поскольку указанные отклонения находятся в допустимых пределах, то они могут быть приняты, что упрощает реализацию функции (2.42). В то же время эти отклонения могут быть устранены схемотехническим способом (за счет усложнения схемы). Например, в приведенном на рис. 2.16 варианте сумматора они отсутствуют.

Вторая ступень кодирующей части рассматриваемой схемы включает транзисторы VT13—VT24, четыре резистора одного номинала и диод VD1.

Транзисторы VT13, VT14 и резистор, включенный между их стоками, образуют пороговый детектор (см. рис. 1.3), функционирование которого подробно рассмотрено в § 1.1. Так как сигналы на входе этого детектора связаны с выходными переменными x_1 и x_2 функцией f_1 , нетрудно определить функциональные зависимости на его выходах (столбцы «VT13» и «VT14» табл. 2.8).

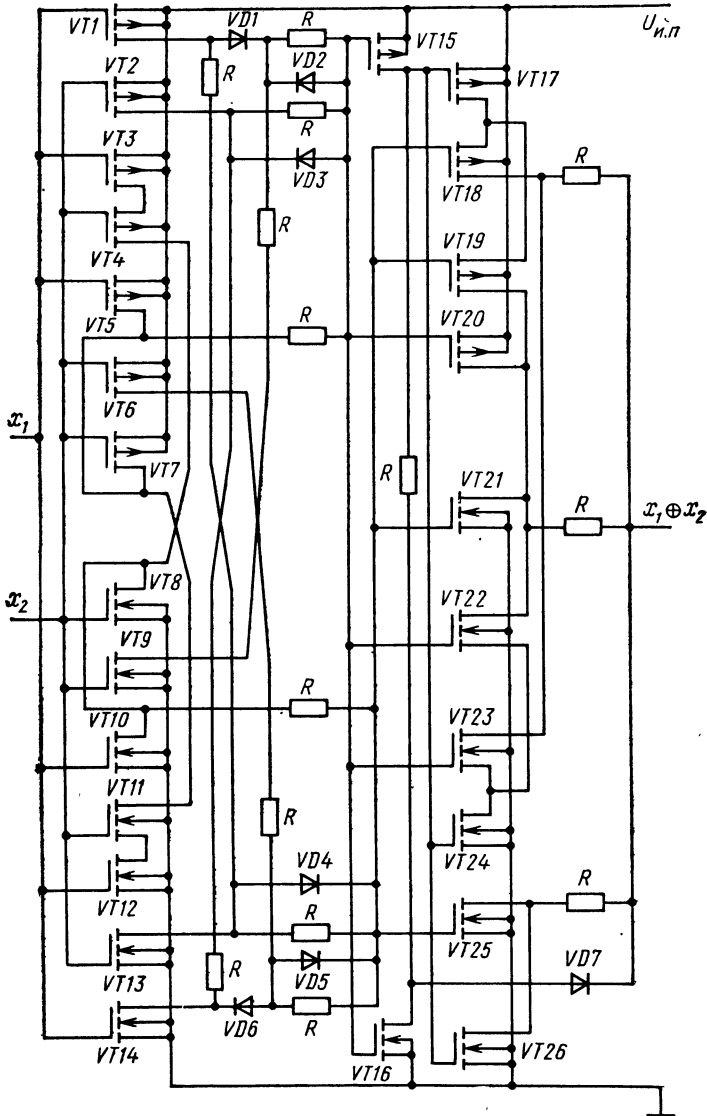


Рис. 2.16. Сумматор (модификация)

Прежде чем продолжить описание второй ступени кодирующей части схемы на рис. 2.15, проанализируем полученные результаты. Обратимся к табл. 2.8. Отметим, что сигналы, сформированные на стоке транзистора VT13, соответствуют значениям функции, называемой функцией переноса, но не являются таковыми. Кроме того, при нулевых значениях этих сигналов функция f_2 инверсна (2.42), а в тех случаях, когда они принимают значение «3», функ-

ция f_1 связана с (2.42) операциями инверсии и цикла. Исходя из этого и приняв обозначение f_3 для функции, описывающей сигналы на стоке транзистора VT13, можно записать

$$x_1 \oplus x_2 = \begin{cases} f_2, & \text{если } f_3 = 0; \\ (\bar{f}_1 - 1) \bmod 4, & \text{если } f_3 = 3. \end{cases} \quad (2.45)$$

Вторая ступень кодирующей части схемы сумматора на рис. 2.15 построена на основе (2.45). Транзисторы VT15—VT17, VT19, VT23 и три резистора образуют инвертор (см. рис. 1.10); собственно инвертор составляют транзисторы VT16, VT17, VT19, VT23 и резисторы; транзистор VT15, затвор которого подключен к стоку транзистора VT13, является управляющим. Вход инвертора соединен с выходом первой ступени кодирующей части элемента, и, следовательно, здесь выполняется первое из указанных в (2.45) преобразований, т. е. \bar{f}_2 при $f_3 = 0$.

Второе преобразование $(\bar{f}_1 - 1) \bmod 4$ при $f_3 = 3$ реализовано аналогичным образом: транзисторы VT18, VT20—VT22, VT24 и те же резисторы (транзистор VT22, затвор которого также подключен к стоку транзистора VT13, является управляющим).

Особенность этого схемотехнического решения заключается в использовании одних и тех же резисторов при выполнении обоих преобразований, а также в получении дополнительно функции, которая сформирована на стоке транзистора VT14 при реализации f_3 , что приводит к значительному упрощению.

Работа второй ступени кодирующей части в таком исполнении поясняется табл. 2.9, в которой приведены функции, реализуемые на стоках составляющих ее (вторую ступень) транзисторов.

Таблица 2.9. Функции, описывающие работу второй ступени кодирующей части схемы на рис. 2.15

Входы		Сток транзистора				Выход
x_2	x_1	VT16	VT17	VT23	VT14	
0	0	0	0	0	0	0
	1	3	0	0	0	1
	2	3	3	0	0	2
	3	3	3	0	0	3
1	0	3	0	0	0	1
	1	3	3	0	0	2
	2	3	3	0	0	3
	3	0	0	0	0	0
2	0	3	3	0	0	2
	1	3	3	0	0	3
	2	0	0	0	0	0
	3	0	3	0	0	1
3	0	3	3	0	0	3
	1	0	0	0	0	0
	2	0	3	0	0	1
	3	0	3	0	3	2

Формирование значения выходного сигнала осуществляется суммированием сигналов, описываемых этими функциями, с помощью аналогового резистивного сумматора. Каждой входной ситуации соответствует строка в табл. 2.9. Нулевые значения функции, реализуемой на стоке транзистора VT14, следует исключить из процесса суммирования, так как сток соединен с выходом элемента через диод VD1, который в этих случаях закрыт.

2.5. УНИВЕРСАЛЬНЫЕ ЭЛЕМЕНТЫ

В множестве логических функций имеются обладающие функциональной полнотой, т. е. универсальные. Элементарную универсальную функцию для четырехзначной логики определим следующим образом:

$$f(x, y_1, y_2, y_3, y_4) = \begin{cases} Y_1, & \text{если } X=0; \\ Y_2, & \text{если } X=1; \\ Y_3, & \text{если } X=2; \\ Y_4, & \text{если } X=3. \end{cases} \quad (2.46)$$

Логический элемент, реализующий функциональную зависимость (2.46), является универсальным и называется мультиплексором.

Простейшая схема четырехзначного мультиплексора [9] содержит четыре двунаправленных ключа на КМОП-транзисторах (ключи те же, что и в двоичных схемах [34]) и одноходовый четырехзначный дешифратор, реализующий все характеристические функции $\delta_0(x)$, $\delta_1(x)$, $\delta_2(x)$, $\delta_3(x)$ и их инверсии $\delta_0(x)$, $\delta_1(x)$, $\delta_2(x)$ и $\delta_3(x)$ (см. § 1.2, рис. 1.9).

Таблица 2.10. Таблица истинности универсального элемента

x	y_1	y_2	y_3	y_4	f
0	0	×	×	×	0
	1	×	×	×	1
	2	×	×	×	2
	3	×	×	×	3
1	×	0	×	×	0
	×	1	×	×	1
	×	2	×	×	2
	×	3	×	×	3
2	×	×	0	×	0
	×	×	1	×	1
	×	×	2	×	2
	×	×	3	×	3
3	×	×	×	0	0
	×	×	×	1	1
	×	×	×	2	2
	×	×	×	3	3

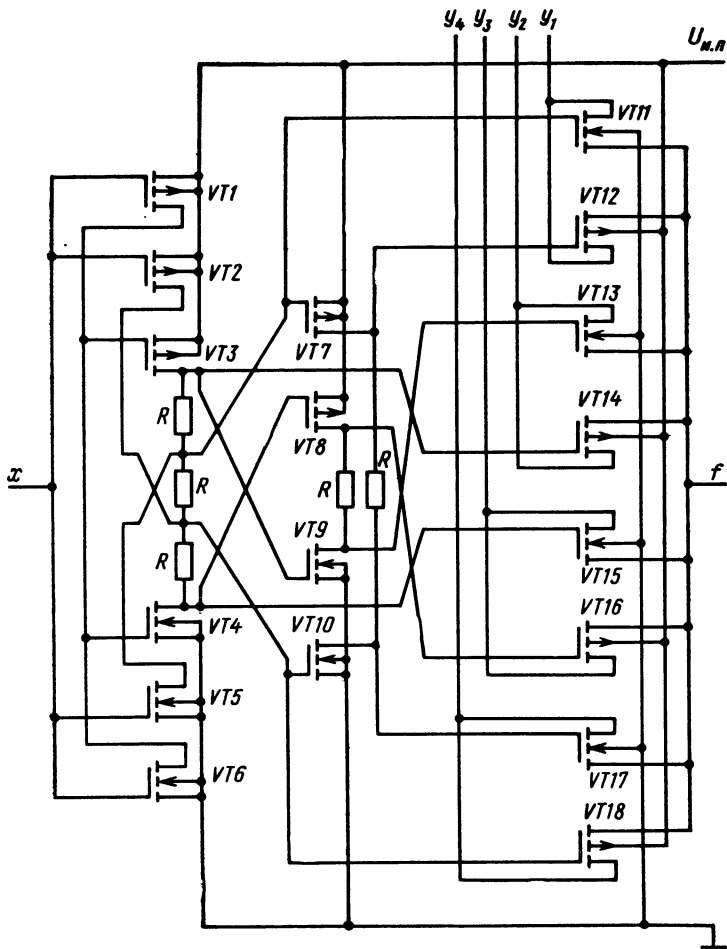


Рис. 2.17. Мультиплексор (1-й вариант)

Вход дешифратора соединен с управляющим входом мультиплексора. Информационные входы ключей являются также информационными (настроечными) входами мультиплексора. Управляющие входы ключей подсоединены к выходам дешифратора таким образом, что если на управляющем входе мультиплексора переменная $x=0$, то открыт первый ключ, а остальные ключи закрыты; если же $x=1$, то открыт второй ключ и т. д. Работу мультиплексора описывает табл. 2.10 (знак «X» обозначает безразличное состояние).

Схема описанного мультиплексора приведена на рис. 2.17.

Рассмотрим другой вариант. Напомним, что

$$\begin{aligned}
 \delta_0(x) &= x^0; & \overline{\delta_0(x)} &= (\overline{x^3})^2; \\
 \delta_1(x) &= (\overline{x^1})^0; & \overline{\delta_1(x)} &= (\overline{x^2})^2; \\
 \delta_2(x) &= (\overline{x^2})^0; & \overline{\delta_2(x)} &= (\overline{x^1})^2; \\
 \delta_3(x) &= (\overline{x^3})^0; & \overline{\delta_3(x)} &= x^2.
 \end{aligned}
 \tag{2.47}$$

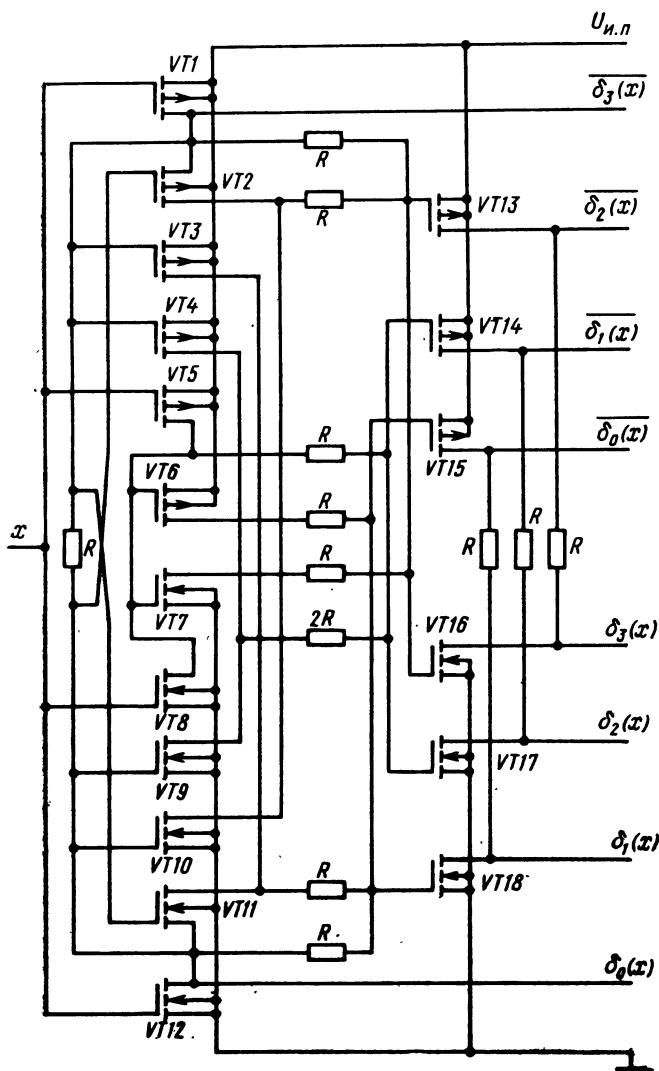


Рис. 2.18. Дешифратор

Соотношения (2.47) позволяют построить одновходовый четырехзначный дешифратор на циклических инверторах и пороговых детекторах. Можно воспользоваться схемами соответствующих элементов, описанными в гл. 1. Однако это не лучшее решение. Совместная реализация функций (2.47) все же проще дешифратора, построенного из отдельных элементов (рис. 2.18).

Схема мультиплексора на основе дешифратора, в котором выполнены преобразования (2.47), показана на рис. 2.19. Ее сравнение со схемой на рис. 2.17 показывает, что имеет место проигрыш

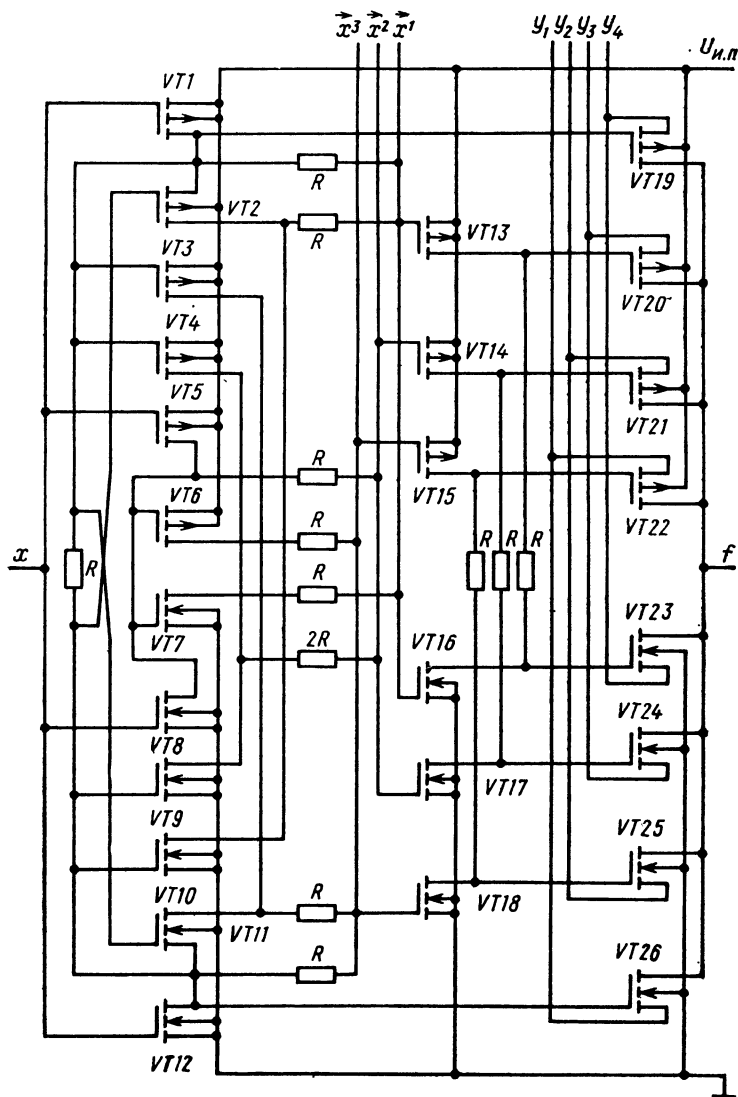


Рис. 2.19. Мультиплексор (2-й вариант)

(не менее чем в 1,5 раза) по аппаратным затратам. В чем же смысл такого схемного решения? При использовании схемы в качестве собственно мультиплексора — никакого, а при использовании в качестве универсального элемента имеются преимущества. Можно сказать, что при одинаковых функциональных возможностях (обе схемы универсальны) мультиплексор на рис. 2.19 обладает некоторыми дополнительными возможностями, которые называют повышенной логической гибкостью.

Наличие в дешифраторе мультиплексора (см. рис. 2.19) промежуточных функций циклической инверсии при условии их вывода может быть использовано для выполнения требуемых при работе в конкретной логической сети настроек. Это повышает эффективность синтеза логических сетей из таких элементов.

Проиллюстрируем сказанное примером. Пусть имеется функция F (табл. 2.11), которую необходимо реализовать сетью из одноходовых универсальных элементов. Не касаясь методики синтеза, обратимся непосредственно к результатам. На рис. 2.20 и 2.21 приведены соответствующие логические сети, реализующие заданную функцию F на мультиплексорах (см. рис. 2.17 и 2.19). Их сравнение подтверждает сказанное о высокой логической гибкости универсальных элементов, выполненных по схеме на рис. 2.19.

Безусловно, эффективность использования элемента на рис. 2.19 непосредственно зависит от вида реализуемой функции: ее подфункции, зависящие от одной переменной, должны быть циклическими инверсиями последней (необязательно все, но желательно, чтобы большая их часть). Поэтому при синтезе для настроек уни-

Таблица 2.11. Таблица истинности функции F

F		X_1			
X_3	X_2	0	1	2	3
0	0	1	2	3	0
	1	2	2	0	1
	2	2	2	1	2
	3	1	2	2	3
1	0	1	2	3	0
	1	3	2	2	1
	2	2	2	2	2
	3	1	2	0	3
2	0	1	2	3	0
	1	0	2	0	1
	2	2	2	1	2
	3	1	2	2	3
3	0	1	2	3	0
	1	1	2	0	1
	2	2	2	1	2
	3	1	2	2	3

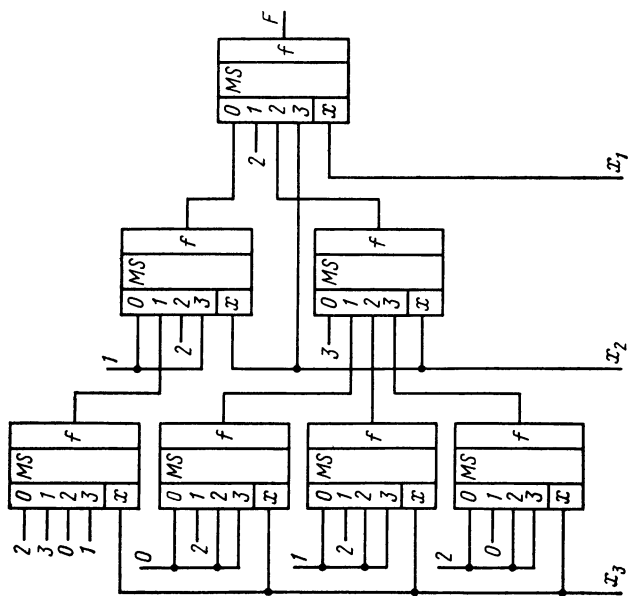


Рис. 2.20. Реализация функции, заданной табл. 2.11, сетью из универсальных элементов (рис. 2.17)

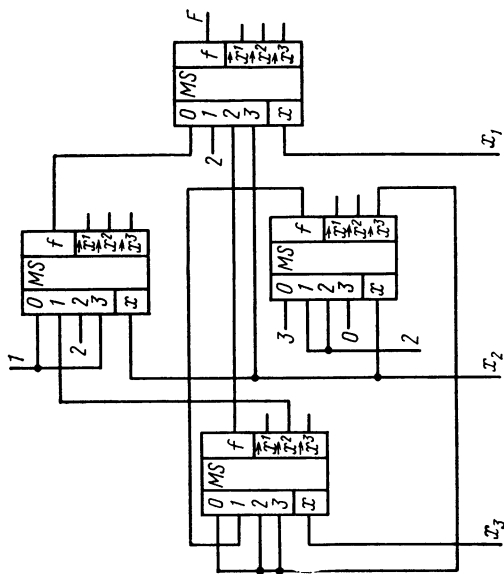


Рис. 2.21. Реализация функции, заданной табл. 2.11, сетью из универсальных элементов (рис. 2.19)

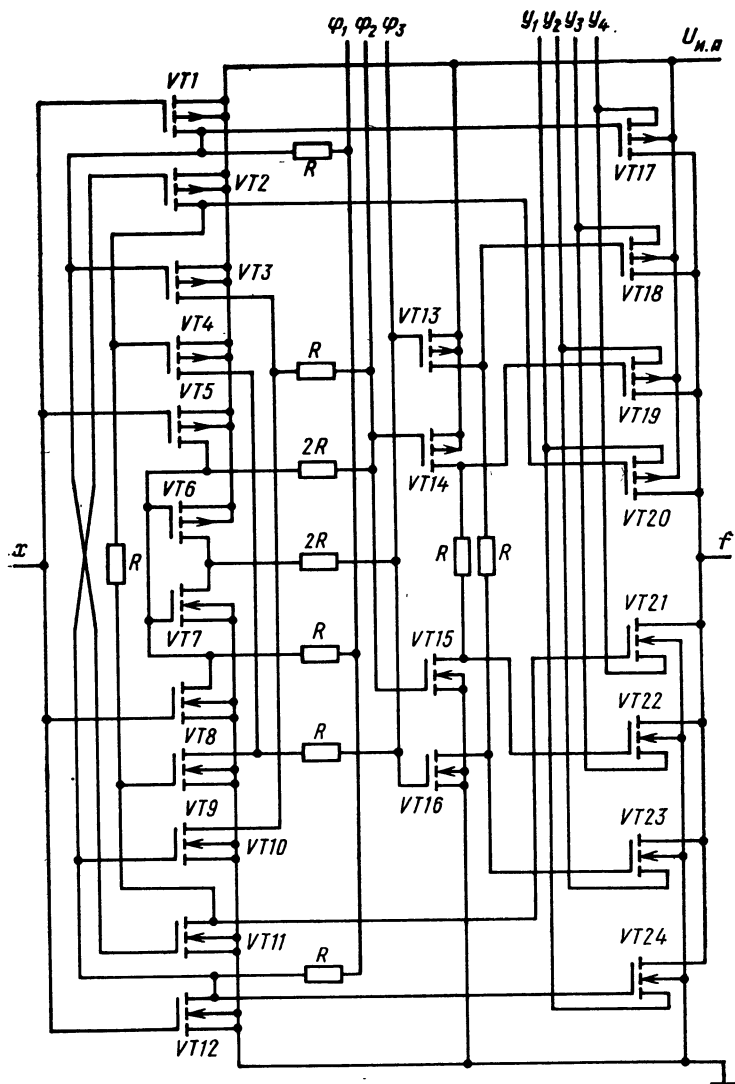


Рис. 2.22. Мультиплексор (3-й вариант)

версальных элементов желательно располагать всеми функциями одной переменной, за исключением констант. Однако их слишком много (в четырехзначной логике 252) и говорить о выполнении такого требования в одном элементе не приходится.

Возможны и другие преобразования вида (2.47). Возьмем, например, систему функций $\{\varphi_1, \varphi_2, \varphi_3\}$, где $\varphi_1 = \langle 3, 2, 1, 0 \rangle$ — инвер-

сия, а $\varphi_2 = \langle 1, 3, 0, 2 \rangle$ и $\varphi_3 = \langle 2, 0, 3, 1 \rangle$ — функции, не имеющие специальных названий. Тогда

$$\begin{aligned} \delta_0(x) &= x^0; & \overline{\delta_0(x)} &= [\varphi_1(x)]^2; \\ \delta_1(x) &= [\varphi_3(x)]^0; & \overline{\delta_1(x)} &= [\varphi_2(x)]^2; \\ \delta_2(x) &= [\varphi_2(x)]^0; & \overline{\delta_2(x)} &= [\varphi_3(x)]^2; \\ \delta_3(x) &= [\varphi_1(x)]^0; & \overline{\delta_3(x)} &= x^2. \end{aligned} \tag{2.48}$$

Соотношения (2.48) позволяют построить новый вариант дешифратора и соответственно новый универсальный элемент, располагающий другим набором функций одной переменной для настройки.

Существует достаточно много преобразований вида (2.47), (2.48). Требования к выбору функций, составляющих необходимую систему, очевидны. Исходя из этого можно разработать комплект (библиотеку) универсальных элементов, который обеспечит широкие возможности для выполнения настроек в логической сети, по крайней мере, наиболее интересные случаи. В частности, такой случай составляют все существенно k -значные функции одной переменной (в четырехзначной логике их всего 24): функции многих переменных, у которых подфункции, зависящие от одной переменной, существенно k -значны, обычно плохо минимизируемы. Создание такого комплекта представляет интерес, тем более что составляющие его элементы практически одинаковы по сложности. На рис. 2.22 показан мультиплексор, выполненный согласно (2.48).

Существенно k -значные функции — это, конечно, меньшая часть функций одной переменной, однако в преобразованиях вида (2.47), (2.48) могут быть использованы и функции, не обязательно существенно k -значные [5], т. е. указанный комплект при необходимости может быть расширен.

Глава 3.

ЗАПОМИНАЮЩИЕ ЭЛЕМЕНТЫ

Под запоминающим элементом (ЗЭ) обычно понимают минимальную часть накопителя, в которой хранение информации еще возможно: выделение из ЗЭ составляющих его компонентов приводит к утрате этого функционального свойства [26]. Однако последнее справедливо для двоичных ЗЭ, имеющих минимально необходимое число устойчивых состояний — два. В многозначных ЗЭ выделение определенной части компонентов может привести лишь к частичной потере функции памяти, т. е. к потере некоторого числа устойчивых состояний. Поэтому будем пользоваться другим определением, согласно которому ЗЭ — это элементарный автомат, предназначенный для фиксации одного разряда кодового слова [26].

В основанных на разнообразных физических принципах запоминающих устройств, используются, тем не менее, только следующие механизмы реализации функции памяти [26]: устойчивые изменения состояний элементов, устойчивые изменения связей между элементами, циркуляция кода по замкнутому контуру. Первые два механизма применяются при построении статических ЗУ, третий является основой динамических рециркуляционных ЗУ.

В большинстве современных систем хранения дискретной информации в основу положен первый из указанных механизмов памяти. Он используется и в рассматриваемых в этой главе ЗЭ, носящих специальное название — триггерные схемы (триггеры).

3.1. ТРИГГЕРНЫЙ МЕХАНИЗМ ОБРАЗОВАНИЯ УСТОЙЧИВЫХ СОСТОЯНИЙ

При исследовании механизма образования устойчивых состояний бистабильный триггер можно рассматривать как логическую схему с обратной связью, имеющую три равновесных состояния, два из которых — устойчивые.

Приведенное определение в некоторой степени отражает особенность триггерного механизма образования устойчивых состояний, для реализации которого требуются обратная связь и определенный вид зависимости $y=f(x)$ между выходом и входом логической схемы при разомкнутой цепи обратной связи.

Уточним второе условие. С одной стороны, обеспечение требуемого количества состояний равновесия при линейной обратной связи $x=k_{o.c}y$, где $k_{o.c}$ — коэффициент обратной связи, которая имеет место в триггерах, обуславливает характер зависимости между выходом и входом логической схемы с разомкнутой обратной связью таким образом, чтобы решение системы уравнений

$$\begin{cases} y = f(x); \\ x = k_{o.c}y \end{cases} \quad (3.1)$$

имело необходимое число корней, соответствующих указанным состояниям.

С другой стороны, для обеспечения устойчивости равновесных состояний в точке равновесия требуется выполнение условия [21]

$$\partial f(x)/\partial x < 1/k_{o.c}. \quad (3.2)$$

Действительно, соотношение (3.2) предопределяет отрицательную обратную связь в окрестности состояния равновесия, что делает такое состояние устойчивым. И все же (3.2) в общем случае — лишь необходимое условие. Оно является одновременно и достаточным для логических схем, представляющих динамические системы не более второго порядка. В противном случае налагаются дополнительные условия [13].

В неустойчивых равновесных состояниях имеет место неравенство [21]

$$\partial f(x)/\partial x > 1/k_{o.c}. \quad (3.3)$$

Выполнение (3.3) обуславливает положительную обратную связь в окрестностях таких точек равновесия и релаксационный характер переходных процессов в триггере.

Обычно триггеры имеют $k_{o.c}=1$. Следовательно, характеристика вход — выход логической схемы, которая может быть использована для реализации триггеров, должна иметь необходимое число перемежающихся участков, на которых

$$\frac{\partial f(x)}{\partial x} < 1 \text{ и } \frac{\partial f(x)}{\partial x} > 1. \quad (3.4)$$

В действительности в двоичных триггерах, построенных на логических элементах, условия (3.4) выполняются в более строгом виде:

$$\frac{\partial f(x)}{\partial x} = 0 \quad (3.5)$$

для точек устойчивого равновесия и

$$\frac{\partial f(x)}{\partial x} \gg 1 \quad (3.6)$$

для неустойчивых равновесных состояний. При этом (3.5) выполняется не только в точке равновесия, но и в существенно протяженной ее окрестности, что, однако, в большинстве случаев для элементарных автоматов является достаточным условием устойчивости.

Описанный механизм образования устойчивых состояний возможен при любом числе состояний равновесия и может быть использован при построении многозначных ЗЭ. Следовательно, для реализации функции памяти в этом случае можно вводить обратную связь в многозначном комбинационном логическом элементе (схеме), имеющем по одному из входов, который используется для обратной связи, выходную зависимость специального вида. Зависимость $y=f(x)$ между выходом и входом многозначной логической схемы, охватываемой обратной связью для получения ЗЭ, должна носить нелинейный характер с многими точками перегиба или излома [13, 21].

В двоичном случае требуемая зависимость реализуется логическим элементом непосредственно либо с помощью логической схемы, содержащей как минимум два простейших элемента, например инвертора. К сожалению, пока неизвестны многозначные статические логические элементы, непосредственно имеющие необходимую для ЗЭ характеристику. Однако нужные характеристики все же могут быть получены при построении подходящих функциональных элементов на основе имеющихся базовых.

В схемотехнике многозначных схем следует различать два типа логических элементов [25]. Элементы первого типа являются однородными функциональными преобразователями, т. е. схемами аналоговыми, которые выступают в качестве логических только при выполнении условия дискретности входных сигналов. Примерами таких элементов являются известные диодные схемы И и ИЛИ, реализующие операции выделения соответственно минимального и максимального сигналов в k -значной логике.

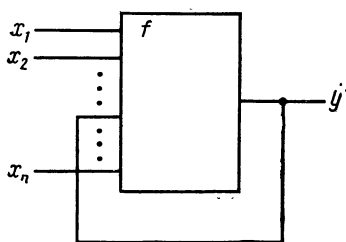


Рис. 3.1. Схема реализации функции памяти

Элементы второго типа являются логическими преобразователями. Их особенность состоит в способности производить квантование сигналов. Все схемы, описанные в гл. 1 и 2, — примеры элементов второго типа.

В связи с этим ограничимся рассмотрением реализации функции памяти только на логических схемах и элементах второго типа, хотя их отличие от элементов первого типа не препятствует использованию последних для этой же цели.

Исходя из указанного ограничения определим с логической стороны требования к характеристике, необходимой для реализации запоминающего элемента описанным выше способом. Пусть логический элемент (схема) осуществляет отображение, заданное функцией $f(x_1, x_2, \dots, x_n): E_k^n \rightarrow E_k$, $E_k = \{0, 1, 2, \dots, k-1\}$. Если при этом для некоторого множества $E \subseteq E_k$ имеет место равенство $f(\alpha_1, \alpha_2, \dots, x_i, \alpha_{i+1}, \alpha_n) = X_i$, где $X_i \in E$, $\alpha_i \in E_k$, то будем говорить, что элемент (схема) имеет повторительную характеристику по i -му входу на множестве E .

Справедливо следующее утверждение. Многозначный логический элемент (схема) второго типа, имеющий на множестве E по i -му входу повторительную характеристику при каком-либо фиксированном наборе $\vec{\beta}_{n-1}$ сигналов на остальных входах, при соединении выхода с i -м входом образует ЗЭ (рис. 3.1).

В этом случае элемент (схема) при входной ситуации $\vec{\beta}_{n-1}$ имеет ступенчатую зависимость i -й входа — выход, для которой выполняются условия (3.5) и (3.6): для элементов второго типа, осуществляющих квантование сигналов, имеет место $f(\vec{\beta}_{n-1}, x_i) = f(\vec{\beta}_{n-1}, x_i \pm \varepsilon)$, где $\varepsilon < \Delta/2$ (Δ — шаг квантования). Число устойчивых состояний этого ЗЭ определяется числом дискретных уровней в ступенчатой характеристике, т. е. мощностью множества E . Интерес представляет случай $E = E_k$.

→ Рассмотренные ЗЭ имеют $n-1$ управляющих входов. Сигнал $\vec{\beta}_{n-1}$ является командой хранения информации. Вообще говоря, для реализации функции памяти достаточно иметь одноходовые логические элементы: в этом случае ЗЭ не имеют управляющих входов. Однако ЗЭ должен удовлетворять также условиям, связанным с его управлением [35]. ЗЭ должен иметь полную систему переходов, т. е. возможность непосредственного перехода из любого внутреннего состояния в любое внутреннее состояние; ЗЭ должен иметь полную систему выходов, т. е. каждому внутреннему состоянию должно соответствовать собственное состояние выходов.

Для удовлетворения первого условия при построении ЗЭ с k внутренними состояниями необходим либо трехходовый k -знач-

ный логический элемент (или схема) с требуемыми характеристиками по информационному и управляющему входам, а также входу обратной связи, либо $(k+1)$ -значный с двумя входами: информационный и управляющий входы в этом случае объединяются.

Что касается второго условия, то внутреннее состояние и состояние выхода в ЗЭ обычно тождественны. В случае, когда ЗЭ — логический элемент (или схема) второго типа с повторительной характеристикой, тождественность внутренних и выходных состояний обеспечивается автоматически.

Проверим универсальность описанного подхода, перечислив все функциональные типы потенциальных одноклапчатых двоичных триггеров с двумя входами. Рассмотрение такой задачи в книге, посвященной реализации элементной базы для четырехзначной логики, может вызвать вполне понятное недоумение. Тем не менее для этого имеется несколько причин:

случай $k=2$ пригоден для осуществления указанной проверки, как и любой другой ($k=3$, $k=4$ и т. д.);

для $k=2$ имеются решения, полученные другими методами [1, 15, 28], что важно, поскольку возможно сравнение результатов;

случай $k=2$ тривиален в первую очередь с точки зрения исполнения (при $k=2$ исследованию подлежат 256 функций, в то время как при $k=4$ их число составляет 4^{64});

последнее обстоятельство не является принципиальным и в случае необходимости задача может быть решена для $k=4$, однако это не входит в круг вопросов, рассматриваемых в данной работе; более того, целесообразность перечисления функциональных типов потенциальных одноклапчатых четырехзначных триггеров с двумя входами вызывает у автора сомнения.

Решение может быть сведено к проверке некоторого множества логических функций на соответствие установленным выше требованиям. Согласно этим требованиям просмотру подлежит множество всех функций трех переменных, которых всего 256, т. е., как уже было отмечено, задача тривиальна.

Для краткости (поскольку только незначительная часть проверяемых функций имеет специальное название) будем обозначать каждую функцию десятичным числом, двоичная запись которого тождественна ее значениям истинности. В соответствии с этим функция «константа 0» обозначается 0, функция, принимающая значение «1» только при единственном наборе $\langle 0, 0, 0 \rangle$ входных переменных x_1, x_2, x_3 , обозначается 1 и так до функции «константа 1», которая обозначается десятичным числом 255 (табл. 3.1).

Условие реализации функции памяти состоит в требовании существования у проверяемой функции тождественной подфункции одной переменной. Поскольку нас интересуют типы триггеров, то достаточно проверки относительно одной, заранее фиксированной, переменной. Для определенности выберем переменную x_3 , т. е. примем упомянутое условие в виде

$$f(\alpha_1, \alpha_2, x_3) = X_3. \quad (3.7)$$

Далее, осуществляя указанную проверку, исключаем (вычеркиваем) из табл. 3.1 все функции, для которых (3.7) не выполняется. Оставшиеся функции (табл. 3.2) пригодны для построения триггеров с точки зрения возможности реализации функции памяти.

Таблица 3.1. Функции двоичной логики трех переменных

x_1	x_2	x_3	0	1	2	3	4	5	6	...	251	252	253	254	255
0	0	0	0 1 0 1 0 1 0 1 0 ... 1	0 0 1 1 0 0 1 ... 1	0 0 1 1 0 0 1 ... 1	0 0 1 1 0 0 1 ... 1	0 0 1 1 0 0 1 ... 1	0 0 1 1 0 0 1 ... 1	0 0 1 1 0 0 1 ... 1	0 0 1 1 0 0 1 ... 1	0 0 1 1 0 0 1 ... 1	0 0 1 1 0 0 1 ... 1	0 0 1 1 0 0 1 ... 1	0 0 1 1 0 0 1 ... 1	0 0 1 1 0 0 1 ... 1
	1	0	0 0 0 0 1 1 1 ... 0	0 0 0 0 0 0 0 ... 1	0 0 0 0 0 0 0 ... 1	0 0 0 0 0 0 0 ... 1	0 0 0 0 0 0 0 ... 1	0 0 0 0 0 0 0 ... 1	0 0 0 0 0 0 0 ... 1	0 0 0 0 0 0 0 ... 1	0 0 0 0 0 0 0 ... 1	0 0 0 0 0 0 0 ... 1	0 0 0 0 0 0 0 ... 1	0 0 0 0 0 0 0 ... 1	0 0 0 0 0 0 0 ... 1
1	0	0	0 0 0 0 0 0 0 0 ... 1	0 0 0 0 0 0 0 0 ... 1	0 0 0 0 0 0 0 0 ... 1	0 0 0 0 0 0 0 0 ... 1	0 0 0 0 0 0 0 0 ... 1	0 0 0 0 0 0 0 0 ... 1	0 0 0 0 0 0 0 0 ... 1	0 0 0 0 0 0 0 0 ... 1	0 0 0 0 0 0 0 0 ... 1	0 0 0 0 0 0 0 0 ... 1	0 0 0 0 0 0 0 0 ... 1	0 0 0 0 0 0 0 0 ... 1	0 0 0 0 0 0 0 0 ... 1
	1	0	0 0 0 0 0 0 0 0 ... 1	0 0 0 0 0 0 0 0 ... 1	0 0 0 0 0 0 0 0 ... 1	0 0 0 0 0 0 0 0 ... 1	0 0 0 0 0 0 0 0 ... 1	0 0 0 0 0 0 0 0 ... 1	0 0 0 0 0 0 0 0 ... 1	0 0 0 0 0 0 0 0 ... 1	0 0 0 0 0 0 0 0 ... 1	0 0 0 0 0 0 0 0 ... 1	0 0 0 0 0 0 0 0 ... 1	0 0 0 0 0 0 0 0 ... 1	0 0 0 0 0 0 0 0 ... 1

Таблица 3.2. Множество функций двоичной логики трех переменных, пригодных для реализации функции памяти

$\{f f(\alpha_1, \alpha_2, x_3) = X_3\}$															
2	6	8	9	10	11	14	18	22	24	25	26	27	30	32	
33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	
50	54	56	57	58	59	62	66	70	72	73	74	75	78	82	
86	88	89	90	91	94	96	97	98	99	100	101	102	103	104	
106	107	108	109	110	111	114	118	120	121	122	123	126	128	129	
130	131	132	133	134	135	136	137	138	139	140	141	142	143	144	
145	146	147	148	149	150	151	152	153	154	155	156	157	158	159	
160	161	162	163	164	165	166	167	168	169	170	171	172	173	174	
175	176	177	178	179	180	181	182	183	184	185	186	187	188	189	
190	191	194	198	200	201	202	203	206	210	214	216	217	218	219	
222	224	225	226	227	228	229	230	231	232	233	234	235	236	237	
238	239	242	246	248	249	250	251	254							

Условие, связанное с управлением потенциальным триггером, в двоичном случае сводится к требованию существования у проверяемой функции двух подфункций той же переменной: «константа 0» и «константа 1» (в многозначном случае наличие подфункций констант — не единственное возможное условие), т. е. применительно к рассматриваемому варианту решения

$$f(\beta_1, \beta_2, x_3) = 0; f(\sigma_1, \sigma_2, x_3) = 1. \tag{3.8}$$

Продолжая проверку, исключаем из табл. 3.1 (или табл. 3.2) и те функции, для которых не выполняется (3.8).

Таблица 3.3. Множество функций двоичной логики трех переменных, пригодных для построения триггеров

$\{f f(\alpha_1, \alpha_2, x_3) = X_3 \& f(\beta_1, \beta_2, x_3) = 0 \& f(\sigma_1, \sigma_2, x_3) = 1\}$															
11	14	27	30	35	39	43	44	45	46	47	50	54	56	57	
58	59	62	75	78	99	108	114	120	131	135	139	140	141	142	
143	147	156	163	172	176	177	178	179	180	184	188	194	198	200	
201	202	203	206	210	216	224	225	226	227	228	232	236	242	248	

Таблица 3.4. Таблица переходов DC-триггера

x_1^n	x_2^n	Q^{n+1}
0	0	Q^n
	1	Q^n
1	0	0
	1	1

Таблица 3.5. Таблица переходов R-триггера

x_1^n	x_2^n	Q^{n+1}
0	0	Q^n
	1	1
1	0	0
	1	0

Так как все оговоренные выше условия проверены, то оставшиеся функции (табл. 3.3), а точнее логические схемы, реализующие их, пригодны для построения потенциальных триггеров. Что касается перечисления всех функциональных типов одноклапных потенциальных двоичных триггеров с двумя входами, то для этого остается только исключить из найденного множества функций те из них, которые могут быть получены из остальных перестановкой переменных x_1 и x_2 .

С этой целью на множестве функций, представленных табл. 3.3, введем отношение эквивалентности

$$f_i(x_1, x_2, x_3) \sim f_j(x_1, x_2, x_3) \equiv f_i(x_1, x_2, x_3) = f_j(x_2, x_1, x_3). \quad (3.9)$$

Согласно (3.9) эквивалентны функции 11 и 35, 14 и 50, 27 и 39, 30 и 54 и т. д., что позволяет в каждой паре исключить одну функцию. Полученное таким образом фактор-множество составляют функции (в табл. 3.3 они выделены), представляющие искомые функциональные типы одноклапных потенциальных двоичных триггеров с двумя входами.

В рассматриваемом случае таблицы истинности функций преобразуются в общие таблицы переходов триггеров переименованием переменной x_3 , а также самой функции соответственно в Q^n и Q^{n+1} . Более привычные компактные таблицы переходов (табл. 3.4—3.9), называемые минимизированными. Они могут быть получены из соответствующих общих обычным путем.

Таблицы 3.4—3.8, построенные по таблицам истинности функций 202, 14, 206, 142 и 78 соответственно, являются достаточным тому примером. Рассмотрение таблиц переходов всех 33 найденных функциональных типов триггеров представляется излишним.

Таблица 3.6. Таблица переходов S-триггера

x_1^n	x_2^n	Q^{n+1}
0	0	Q^n
	1	1
1	0	0
	1	1

Таблица 3.7. Таблица переходов E-триггера

x_1^n	x_2^n	Q^{n+1}
0	0	Q^n
	1	1
1	0	0
	1	Q^n

Таблица 3.8. Таблица переходов JK-триггера

x_1^n	x_2^n	Q^{n+1}
0	0	Q^n
	1	1
1	0	0
	1	G

Таблица 3.9. Таблица переходов RS-триггера

x_1^n	x_2^n	Q^{n+1}
0	0	Q^n
	1	1
1	0	0
	1	н/о

В табл. 3.8 при входной ситуации $\langle x_1, x_2 \rangle = \langle 1, 1 \rangle$ указано состояние $Q^{n+1} = G$, что означает генерацию, т. е. в этом случае триггер — генератор импульсов, период повторения которых определяется задержкой логической схемы, реализующей функции 78. В общепринятом варианте ($Q^{n+1} = Q^n$) триггер JK-типа либо выполняется по двухтактной схеме, предотвращающей генерацию, либо уже не является потенциальным. В последнем случае, если, например, условия генерации удалось устранить путем включения элемента задержки в цепь обратной связи и введения ограничения на длительность входного сигнала, JK-триггер является импульсно-потенциальным, но тем не менее его функциональный тип описывается логической функцией 78.

Полученное выше множество функций, представляющих искомые типы триггеров, содержит только функции всюду определенные. Соответственно и таблицы переходов триггеров, получаемые путем описанного преобразования из таблиц истинности этих функций, также всюду определены. Возникает вопрос о полноте этого решения. Ведь известны и такие функциональные типы триггеров, у которых имеются неопределенные состояния. Например, табл. 3.9 соответствует таблице переходов RS-триггера. Входная ситуация $\langle x_1, x_2 \rangle = \langle 1, 1 \rangle$ для RS-триггера считается запрещенной, поскольку его состояние в этом случае не определено (учитывается состояние выхода \overline{Q} и конкретная реализация, при которой имеет место $Q = \overline{Q} = 0$).

У того же триггера, но с выходом Q (это допустимо, так как наличие у схемы второго инверсного выхода не является тем определяющим признаком, который позволяет отнести ее к классу триггеров) указанное состояние можно было бы считать вполне определенным. В этом случае построенное выше множество функций, представляющих искомые функциональные типы триггеров, было бы исчерпывающим, если бы не возникала ситуация, когда функция, адекватно описывающая структуру триггера, не может описать его поведение (функционалирование).

Рассматриваемый подход (см. рис. 3.1) предполагает у триггера только один выход, но это не означает, что он приводит к какому-то другому классу схем, тоже называемых триггерами, т. е. не исключает выход \overline{Q} , который может быть реализован и, следовательно, возможна неопределенность состояния, т. е. ситуация $Q = \overline{Q}$. В то же время предлагаемый подход вынуждает исходить при решении задачи из всюду определенных функций. Действительно, конкретная реализация всегда предусматривает доопределение, в силу чего практиче-

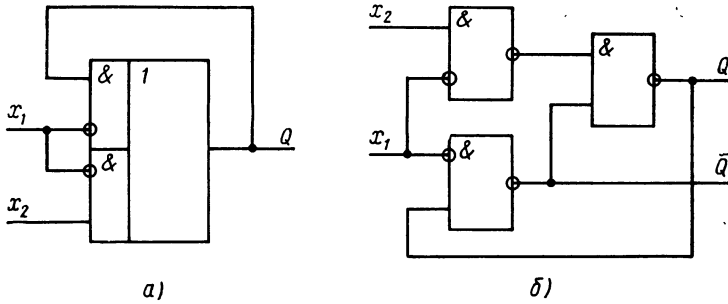


Рис. 3.2. Варианты R-триггера

ски невозможно использовать «частично определенную логическую схему», для того чтобы введением обратной связи получить триггер с соответствующей неопределенностью в таблице переходов. Однако это не означает, что нельзя рассматривать (чисто формально, конечно) в качестве исходного объекта множество всех частично определенных функций трех переменных и таким образом получать желаемый результат. Но для этого необходимо пояснение, при каких обстоятельствах введение обратной связи в логической схеме (всюду определенной) приводит к появлению неопределенного состояния.

В качестве примера рассмотрим функцию 14. Выше утверждается, что эта функция представляет функциональный тип триггера, называемый R-триггером. Это действительно так. Преобразовав таблицу истинности функции 14 путем переименования переменной x_3 , а также самой функции соответственно на Q^n и Q^{n+1} , запишем

$$Q^{n+1} = \bar{x}_1^n \& Q^n \vee x_1^n \bar{x}_2^n = \overline{\overline{x_1^n \& Q^n} \& \overline{x_1^n \& x_2^n}}. \quad (3.10)$$

Первое равенство в (3.10) соответствует схеме на рис. 3.2, а, конечный результат — схеме на рис. 3.2, б. Функционирование обеих схем описывается табл. 3.5, поэтому они представляют собой схемы триггера R-типа.

Каждая логическая функция имеет некоторое множество представлений и столько же реализаций. Поэтому, исходя из той же функции 14, можно получить

$$Q^{n+1} = \bar{x}_1^n \& (Q^n \vee x_2^n) = \overline{x_1^n \vee \overline{Q^n \vee x_2^n}}. \quad (3.11)$$

Конечному результату этого аналитического выражения соответствует уже третья схема (рис. 3.3, а). Таблица переходов, не зависящая от представления

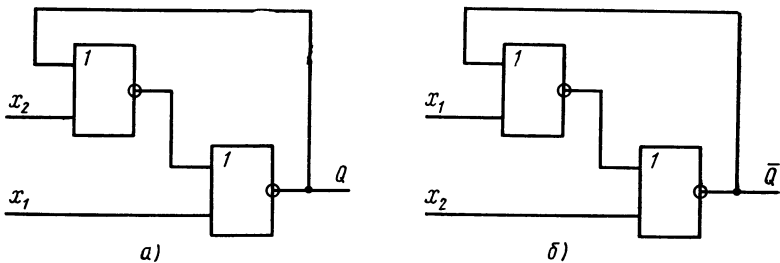


Рис. 3.3. Варианты триггера на элементах ИЛИ—НЕ

функции 14, остается прежней (см. табл. 3.5). Эта схема относится к числу тех, в которых имеет место неопределенность. Выясним, в чем выражается эта неопределенность и насколько она существенна.

Так как в схеме рис. 3.3, а только один выход, то неопределенность вида $Q = \overline{Q}$ в ней отсутствует. Сохраняется только неопределенность перехода при синхронном изменении сигналов на ее входах от $\langle x_1, x_2 \rangle = \langle 1, 1 \rangle$ к $\langle x_1, x_2 \rangle = \langle 0, 0 \rangle$. При таком изменении входных сигналов рассматриваемая схема ведет себя подобно динамической системе, находящейся в точке неустойчивого равновесия, когда движение ее свободно, а направление движения равновероятно. В этих условиях любая случайность или помеха определяет ее конечное состояние. Этого вида неопределенность, возможно, связана с использованием скобочной формы представления функции, а следовательно, не очень существенна, т. е. ее можно избежать. С другой стороны, на практике (нельзя использовать по прямому назначению триггер, не пользуясь его выходным сигналом) любая нагрузка на выходе схемы является постоянно действующим фактором, устраняющим указанную неопределенность. Нагруженная схема на рис. 3.3, а функционирует строго в соответствии с табл. 3.5, т. е. ее можно было бы классифицировать как *R*-триггер. Однако следует учесть еще одно обстоятельство.

Рассмотрим функцию 206. Эта функция представляет функциональный тип триггера, называемый *S*-триггером. Преобразуем таблицу истинности функции 206 в общую таблицу переходов, переименовав переменную x_3 , а также саму функцию соответственно в Q^n и Q^{n+1} . Можно записать

$$Q^{n+1} = x_2^n \vee Q^n \ \& \ \overline{x_1^n} = x_2^n \vee \overline{Q^n} \vee x_1^n. \quad (3.12)$$

Приведем (3.12) к виду

$$\overline{Q^{n+1}} = \overline{x_2^n \vee \overline{Q^n} \vee x_1^n}. \quad (3.13)$$

Выражению (3.13) соответствует схема на рис. 3.3, б. В нагруженном состоянии эта схема функционирует в соответствии с таблицей переходов *S*-триггера с инверсным выходом.

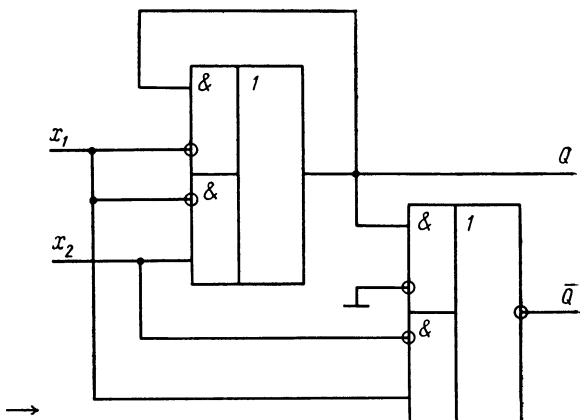
Нетрудно заметить, что обе схемы (см. рис. 3.3) по сути представляют одну, которая в зависимости от того, где у нее выполнен выход, может быть классифицирована как *R*- или *S*-триггер с инверсным выходом. Это конечно неудобно. Согласно принятой классификации рассматриваемая схема относится к отдельному функциональному типу ЗЭ, называемому *RS*-триггер [1, 15]. При этом предусматривается использовать оба выхода, что обуславливает при $\langle x_1, x_2 \rangle = \langle 1, 1 \rangle$ наличие неопределенности $Q = \overline{Q} = 0$, так как в действительности выражения (3.11) и (3.13) не являются инверсными.

Рассмотренный пример позволяет сформировать некоторые рекомендации, касающиеся реализации неопределенного состояния в двоичных триггерах. В этом случае общую таблицу переходов следует доопределить дважды: первый раз нулями, после чего находится какая-либо (желательно минимальная) форма представления Q^{n+1} , второй раз единицами, после чего отыскивается аналитическое выражение для $\overline{Q^{n+1}}$, целиком содержащее найденную ранее формулу, описывающую Q^{n+1} . Схема, соответствующая построенному таким образом аналитическому выражению, — реализация триггера с заданным неопределенным состоянием.

Таблица 3.10. Таблица переходов двоичного триггера

X_1^n	X_2^n	Q^{n+1}
0	0	Q^n
	1	1
1	0	н/о
	1	0

Рис. 3.4. Триггер 3 с неопределенным состоянием при $\langle X_1, X_2 \rangle = \langle 1, 0 \rangle$



Например, предположим, что табл. 3.10 задает триггер, который необходимо реализовать. Доопределение нулями приводит к функции 14. Следовательно, для Q^{n+1} справедливо (3.10). Доопределение единицами соответствует функции 62, исходя из которой

$$\overline{Q^{n+1}} = \overline{x_1^n \& x_2^n \vee x_1^n \& Q^n \vee x_1^n \& x_2^n} = x_1^n \& \overline{x_2^n} \vee Q^n \vee x_1^n \& x_2^n \quad (3.14)$$

Соотношению (3.14) соответствует схема на рис. 3.4, работа которой описывается табл. 3.10.

Реализация неопределенности всегда предполагает доопределение. Любая попытка реализовать триггер, заданный табл. 3.10, приводит к четырем возможным вариантам доопределения: функциям 14, 30, 46 и 62, т. е. в пределах множества найденных выше 33 функций, представляющих функциональные типы потенциальных одноклапчатных двоичных триггеров. Более того, где бы ни была расположена неопределенность в таблице переходов одноклапчатного потенциального двоичного триггера, снятие ее не выводит за пределы множества функций, приведенных в табл. 3.3.

Таблица 3.11. Таблица переходов одноклапчатных потенциальных двоичных триггеров с неопределенным состоянием

X_1^n	X_2^n	Q^{n+1}											
		1	2	3	4	5	6	7	8	9	10	11	12
0	0	1	1	Q^n	Q^n	0	н/о	1	н/о	0	Q^n	н/о	0
	1	Q^n	Q^n	1	1	1	1	н/о	1	1	н/о	Q^n	Q^n
1	0	н/о	0	н/о	0	Q^n	Q^n	0	0	н/о	0	0	н/о
	1	0	н/о	0	н/о	н/о	0	Q^n	Q^n	Q^n	1	1	1

Вследствие этого для перечисления функциональных типов потенциальных одноклапных двоичных триггеров с неопределенным состоянием нет необходимости рассматривать все множество частично определенных функций трех переменных. Достаточно в фактор-множество функций, выделенных в табл. 3.3, внести все возможные неопределенности, не нарушающие условия (3.7) и (3.8), а затем вновь провести разбиение по отношению эквивалентности (3.9). Построенное таким образом новое фактор-множество содержит 12 частично определенных функций, представляющих еще 11 функциональных типов потенциальных одноклапных двоичных триггеров (табл. 3.11). Триггеры, обозначенные номерами 1 и 12, относятся к одному функциональному типу (соответственно рис. 3.5 и 3.6).

Итак, выше установлено, что имеется 33 функциональных типа потенциальных одноклапных двухвходовых двоичных триггеров с всюду определенными таблицами переходов и 11 функциональных типов таких же триггеров с частично определенными таблицами переходов, т. е. всего 44 функциональных типа.

Сравним полученный результат с опубликованными данными. Сравнение не может быть выполнено простым сопоставлением соответствующих чисел. Так, приведенную в [15] оценку 625 нельзя считать достоверной. При ее получении исходили из общего числа возможных таблиц вида минимизированной таблицы переходов двоичного триггера с двумя входами без учета того, что такие таблицы описывают три класса схем: триггеры, генераторы (в том числе генераторы констант) и не имеющие специального названия схемы, которые нельзя отнести к первым двум классам. Естественно, что доля триггеров среди них незначительна.

Имеются и другие оценки [1, 28], однако они противоречивы. В [1] называется число 24, а в [28] тот же автор склонен считать, что функциональных типов триггеров 49. В первом случае оценка явно занижена, во втором требует уточнения. Так, из 49 приведенных в [28] таблиц переходов, представляющих функциональные типы триггеров, семь, а именно обозначенных 2, 25, 40, 42, 45, 47 и 48, вообще не связаны с триггерами, так как соответствующие им схемы не имеют ни одного устойчивого состояния, т. е. не способны хранить информацию, а 18 таблиц, обозначенных 1, 5, 10, 12, 18, 20, 22, 24, 27, 29, 31, 32, 33, 34, 35, 36, 41 и 43, представляют функциональные типы одноклапных потенциальных двоичных триггеров, но составляют только часть от указанных в табл. 3.3 и 3.11. Остальные 24 таблицы представляют функциональные типы импульсно-потенциальных двоичных триггеров. Отметим, что число функциональных типов последних значительно превышает количество функциональных типов потенци-

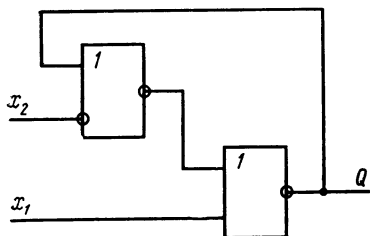


Рис. 3.5. Триггер 1 с неопределенным состоянием при $\langle X_1, X_2 \rangle = \langle 1, 0 \rangle$

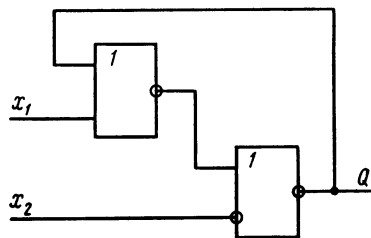


Рис. 3.6. Триггер 12 с неопределенным состоянием при $\langle X_1, X_2 \rangle = \langle 1, 0 \rangle$

альных триггеров. Исходя из описанного подхода можно установить точную оценку числа функциональных типов импульсно-потенциальных двоичных триггеров с двумя входами.

Что касается реализуемости, то описанный здесь подход сомнений не оставляет: задача сводится к синтезу логической схемы, работающей в соответствии с заданной булевой функцией трех переменных.

3.2. DC-ТРИГГЕРЫ

Рассмотрим только потенциальные одноктактные схемы четырехзначных ЗЭ. Такое ограничение естественно как с точки зрения совместимости элементной базы (логические элементы, уже описанные, являются потенциальными), так и перехода к двухтактным схемам при $k=4$, не имеющего специфических особенностей по сравнению со случаем $k=2$.

Указанный класс четырехзначных ЗЭ все же слишком велик, чтобы рассматривать его полностью. В § 3.1 уже было высказано сомнение в целесообразности перечисления функциональных типов потенциальных одноктактных четырехзначных триггеров с двумя входами. В самом деле, следует ли относить их к числу элементарных? С логической точки зрения это действительно так: функция четырехзначной логики, зависящая от трех переменных, — это тот минимальный уровень сложности, который необходим. Но такая функция эквивалентна паре булевых, зависящих от шести переменных каждая, которые в двоичной логике не принято относить к элементарным. В то же время реализации функций четырехзначной логики трех переменных — отнюдь не простые логические схемы. Исключение составляют только некоторые из них. В связи с этим условимся считать приемлемыми только реализации простейших функций.

Среди множества функций четырехзначной логики трех переменных имеется подмножество таких, которые могут быть описаны табл. 3.12 — обобщенной ($\{\sigma_i\} \neq \emptyset$, $\{\sigma_j\} \neq \emptyset$, $\{\sigma_i\} \cap \{\sigma_j\} = \emptyset$, $\{\sigma_i\} \cup \{\sigma_j\} \subseteq E_4 = \{0, 1, 2, 3\}$) таблицей истинности тривиального вида. Эти функции в зависимости от значений одной из переменных (сохраняя общность, можно полагать, что, например, x_1) повторяют истинностные значения двух других (в частности, x_2 и x_3):

$$\{f(x_1, x_2, x_3) \mid f(\sigma_i, x_2, x_3) = X_3 \ \& \ f(\sigma_j, x_2, x_3) = X_2\}. \quad (3.15)$$

Такие функции реализуются достаточно просто.

В то же время функции (3.15) удовлетворяют требованиям (3.7) и (3.8), потому они пригодны для построения ЗЭ. Останемся на простейшем варианте. Примем $\{\sigma_i\} = \{0\}$ и $\{\sigma_j\} = \{3\}$.

Таблица 3.12. Обобщенная таблица истинности одного класса функций четырехзначной логики трех переменных

x_1	x_2	x_3			
		0	1	2	3
$\{\sigma_i\}$	0	0	1	2	3
	1	0	1	2	3
	2	0	1	2	3
	3	0	1	2	3
$\{\sigma_i\}$	0	0	0	0	0
	1	1	1	1	1
	2	2	2	2	2
	3	3	3	3	3

Множество $\{1, 2\}$ значений переменной x_1 будем считать запрещенным, что не обязательно, но упрощает реализацию.

Преобразуем табл. 3.12 согласно выбранному варианту, а затем в минимизированную таблицу переходов ЗЭ. Результат приведен в табл. 3.13, которая известна как таблица переходов *DC*-триггера, обычно имеющегося в составе различных комплектов логических элементов [47].

Что касается схемотехнического решения, то рассматриваемая функция может быть реализована с помощью ключей на КМОП-транзисторах и репитера. Воспользовавшись любым из пяти приведенных в § 1.5 вариантов репитера, читатель самостоятельно сможет получить соответствующую принципиальную схему *DC*-триггера. В связи с этим принципиальная схема на рис. 3.7 как пример реализации *DC*-триггера приводится без пояснений. Укажем только, что эта схема выполнена на базе репитера на рис. 1.27 (КМОП-транзисторы VT7—VT14); для управления ключами (КМОП-транзисторы VT3—VT6) использован двоичный инвертор (КМОП-транзисторы VT1, VT2).

В заключение обратим внимание на то, что сведений, приведенных в гл. 1, достаточно для реализации любой функции, задава-

Таблица 3.13. Вариант таблицы переходов четырехзначного *DC*-триггера

x_1^n	x_2^n	Q^{n+1}
0	×	Q^n
1	×	н/о
2	×	н/о
3	0	0
	1	1
	2	2
	3	3

Таблица 3.14. Вариант таблицы переходов четырехзначного *DC*-триггера

x_1^n	x_2^n	Q^{n+1}
0	×	Q^n
1, 2, 3	0	0
	1	1
	2	2
	3	3

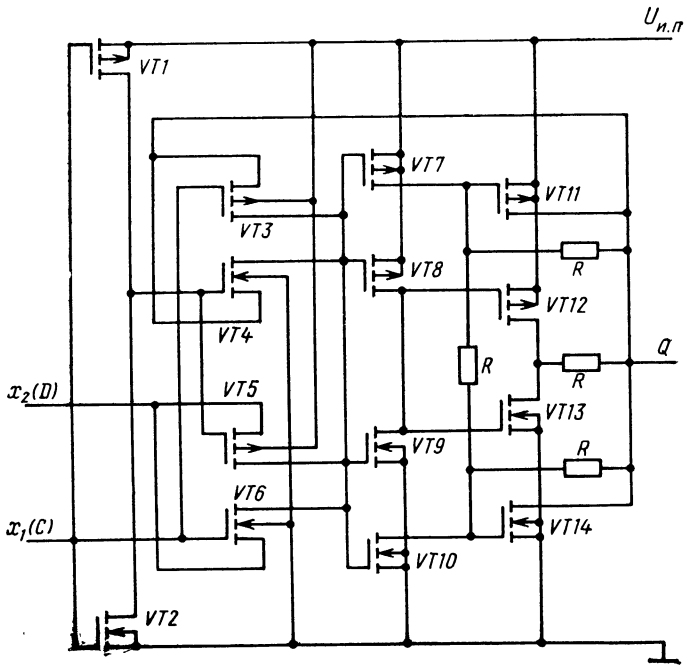


Рис. 3.7. Четырехзначный DC-триггер (1-й вариант)

Т а б л и ц а 3.15. Таблица переходов четырехзначного R-триггера

X_1^n	X_2^n	Q^n			
		0	1	2	3
0	0	0	1	2	3
	1	1	1	2	3
	2	2	2	2	3
	3	3	3	3	3
1	0	0	1	2	2
	1	1	1	2	2
	2	2	2	2	2
	3	2	2	2	2
2	0	0	1	1	1
	1	1	1	1	1
	2	1	1	1	1
	3	1	1	1	1
3	0	0	0	0	0
	1	0	0	0	0
	2	0	0	0	0
	3	0	0	0	0

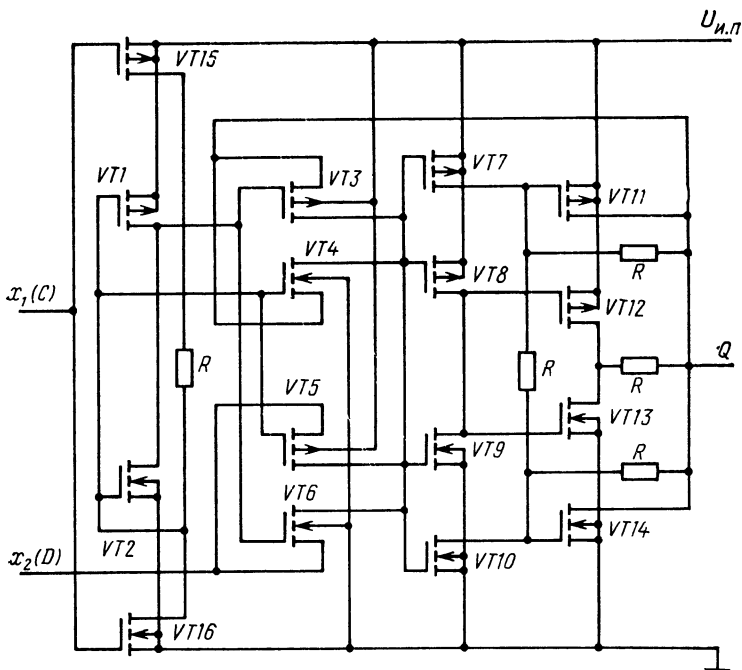


Рис. 3.8. Четырехзначный *DC*-триггер (2-й вариант)

емой табл. 3.12. Например, если принять $\{\sigma_i\} = \{0\}$, а $\{\sigma_j\} = \{1, 2, 3\}$, что соответствует заданию уже другой функции из (3.15), то получим новый вариант *DC*-триггера, таблица переходов которого всюду определена (табл. 3.14). Ясно, что его реализация потребует только добавления порогового детектора для управления ключами (рис. 3.8, КМОП-транзисторы VT15, VT16).

3.3. RS-ТРИГГЕРЫ

Из других функций четырехзначной логики трех переменных достаточно просто реализуются функции МИН—НЕ и МАКС—НЕ (см. § 2.1 и 2.2). Ни одна из этих функций не удовлетворяет условиям (3.7) и (3.8), что не позволяет построить ЗЭ на одном конъюнкторе или дизъюнкторе—самых простых многоходовых логических элементах. Однако их использование все же возможно [59].

Рассмотрим, например, функцию четырехзначной логики

$$f(x_1, x_2, x_3) = x_1 \sqrt{x_2} \sqrt{x_3}, \quad (3.16)$$

которая является суперпозицией двух функций МАКС—НЕ двух переменных. Можно убедиться, что функция (3.16) удовлетворяет условиям (3.7) и (3.8), а следовательно, исходя из нее можно

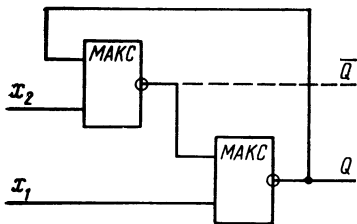


Рис. 3.9. Четырехзначный RS-триггер (R-триггер)

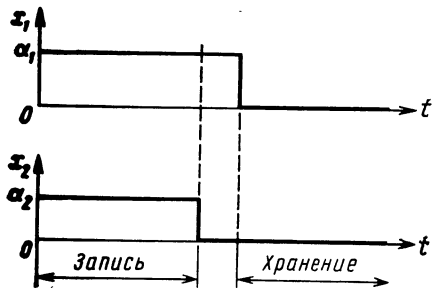


Рис. 3.10. Временная диаграмма входных сигналов триггера при несинхронном управлении

построить четырехзначный триггер на двух двухвходовых дизъюнкторах.

Преобразуем таблицу истинности функции (3.16) в общую таблицу переходов триггера (табл. 3.15). Поскольку (3.16) является скобочной формой представления рассматриваемой функции, введение обратной связи при реализации триггера приводит к неопределенности его функционирования в некоторых входных ситуациях. Поэтому полученную таблицу переходов нельзя считать корректной для указанной реализации.

Чтобы снять противоречия между сигналами на прямом и инверсном выходах, которые неизбежны, если инверсный выход выполнить подобно тому, как это сделано в аналогичных двоичных триггерах (т. е. как указано штриховой линией на рис. 3.9), можно запретить некоторые входные ситуации (по аналогии с двоичным случаем). При этом придется запретить их значительную часть:

$$\{ \langle x_1, x_2 \rangle \mid \langle 1, 3 \rangle, \langle 2, 2 \rangle, \langle 2, 3 \rangle, \langle 3, 1 \rangle, \langle 3, 2 \rangle, \langle 3, 3 \rangle \}. \quad (3.17)$$

Проставив «н/о» в табл. 3.15 при входных ситуациях, перечисленных в (3.17), получим таблицу переходов [59], согласно которой функционирует четырехзначный ЗЭ с выходами Q и \bar{Q} (см. рис. 3.9). Его можно считать прямым обобщением двоичного RS-триггера: при $\langle x_1, x_2 \rangle = \langle 0, 0 \rangle$ ЗЭ находится в режиме хранения; запись информации осуществляется парафазным кодом.

В начале параграфа было отмечено два типа логических схем, используемых как основа для простой реализации функции памяти. Однако рассмотрено лишь применение дизъюнкторов. Поскольку в четырехзначной логике, как и в двоичной, справедлив принцип двойственности, то схема на рис. 3.9, в которой дизъюнкторы заменены конъюнкторами, также является ЗЭ, который по аналогии с двоичным случаем естественно назвать $\bar{R}\bar{S}$ -триггером.

Нет необходимости рассматривать и принципиальные схемы этих ЗЭ, так как различные варианты схемотехнических решений для конъюнкторов и дизъюнкторов подробно описаны в § 2.1 и 2.2.

3.4. R-, R*-ТРИГГЕРЫ

R-триггер отличается от RS-триггера отсутствием неопределенности в таблице переходов, причем, как показано в § 3.1 при рассмотрении двоичных триггеров, он может быть реализован исходя из этой же функции, что и RS-триггер, если использовать бесконечную форму ее представления. Иными словами, табл. 3.15 является таблицей переходов четырехзначного R-триггера. Для ее реализации можно воспользоваться бесконечной формой функции (3.16), но это сложный вариант решения. Имеется другая возможность.

Отказ от выхода \bar{Q} (см. рис. 3.9) автоматически устраняет противоречия, имеющие место на множестве (3.17) между сигналами на прямом и инверсном выходах, поскольку последний в этом случае отсутствует. Остается только неопределенность конечного состояния при синхронных переходах любой из указанных в (3.17) входных ситуаций к состоянию входов $\langle x_1, x_2 \rangle = \langle 0, 0 \rangle$, соответствующему режиму хранения.

Для устранения этой неопределенности можно предложить специальный способ управления, сущность которого поясняет рис. 3.10. В этом случае принцип потенциального управления сохраняется. Запрещаются только синхронные переходы от произвольного состояния входов $\langle x_1, x_2 \rangle = \langle \alpha_1, \alpha_2 \rangle$ к состоянию входов $\langle x_1, x_2 \rangle = \langle 0, 0 \rangle$. При этом устанавливается строгий порядок выполнения таких переходов:

$$\langle \alpha_1, \alpha_2 \rangle \rightarrow \langle \alpha_1, 0 \rangle \rightarrow \langle 0, 0 \rangle, \quad (3.18)$$

т. е. сначала нулевое значение принимает переменная x_2 , затем с некоторой задержкой — переменная x_1 .

При таком способе управления триггер на рис. 3.9, имеющий только один выход Q, функционирует согласно табл. 3.15, т. е. таблица переходов у него всюду определена. Это простейший вариант реализации четырехзначного R-триггера.

Описанный способ управления подходит и для двоичных схем, но в потенциальных двоичных триггерах с двумя входами неопределенное состояние возможно только при одном наборе входных переменных (см. табл. 3.9), который все же проще запретить. Для многозначного случая использование такого управления может привести к более простым схемотехническим решениям. Все описанные выше четырехзначные триггеры имеют примерно одинаковую сложность: 14—16 КМОП-транзисторов.

Рассмотрим пример, когда управление по (3.18) позволяет получить более простую схему четырехзначного триггера. Возьмем функцию четырехзначной логики

$$f(x_1, x_2, x_3) = x_1 \sqrt{\varphi(x_2, x_3)}, \quad (3.19)$$

где

$$\varphi(x_2, x_3) = \begin{cases} \bar{x}_3, & \text{если } X_2 = 0; \\ 0, & \text{если } X_2 \neq 0. \end{cases} \quad (3.20)$$

Таблица 3.16. Таблица переходов четырехзначного R^* -триггера

x_1^n	x_2^n	Q^n			
		0	1	2	3
0	0	0	1	2	3
	1	3	3	3	3
	2	3	3	3	3
	3	3	3	3	3
1	0	0	1	2	2
	1	2	2	2	2
	2	2	2	2	2
	3	2	2	2	2
2	0	0	1	1	1
	1	1	1	1	1
	2	1	1	1	1
	3	1	1	1	1
3	0	0	0	0	0
	1	0	0	0	0
	2	0	0	0	0
	3	0	0	0	0

Проверка показывает, что условия (3.7) и (3.8) для этой функции выполняются. Тогда преобразуем таблицу истинности функции (3.19) в общую таблицу переходов соответствующего триггера (табл. 3.16).

Поскольку (3.19) является скобочной формой рассматриваемой функции, то неизбежны неопределенные состояния, которые имеют место при

$$\{ \langle x_1, x_2 \rangle | \langle 1, 1 \rangle, \langle 1, 2 \rangle, \langle 1, 3 \rangle, \langle 2, 1 \rangle, \langle 2, 2 \rangle, \langle 2, 3 \rangle, \langle 3, 1 \rangle, \langle 3, 2 \rangle, \langle 3, 3 \rangle \}. \quad (3.21)$$

Введение запрета не решает вопроса, так как исключение (3.21) из числа входных сигналов нарушает управление триггером. Так, состояние «1» становится недостижимым, если триггер находится в состоянии «0». Следовательно, в этом случае, действуя общепринятым образом, реализовать триггер исходя из скобочной формы (3.19) невозможно.

Скобочная форма, как известно, является простейшим представлением функции, а поэтому желательно применить именно ее. Переход к управлению по (3.18) позволяет выполнить триггер в соответствии с выражением (3.19). Это решение оказывается проще, чем ранее рассмотренные. Упрощение достигается за счет несложной логической схемы, реализующей функциональную зависимость (3.20): ее основная часть — инвертор.

На рис. 3.11 приведена принципиальная схема рассмотренного триггера. КМОП-транзисторы VT1—VT5 вместе с подключенными к их стокам резисторами составляют логический элемент, выполняющий операцию (3.20). Остальная часть схемы (КМОП-транзисторы VT6—VT12 и три резистора) — двухвходовый дизъюнктор.

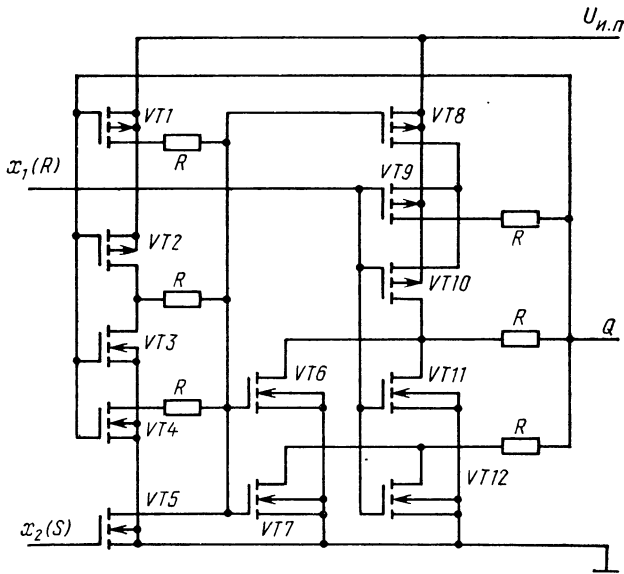


Рис. 3.11. Четырехзначный R^* -триггер

Триггер на рис. 3.11 управляется согласно условию (3.18) и функционирует в соответствии с табл. 3.16, которую можно считать вариантом обобщенной таблицы переходов двоичного триггера R -типа. В связи с этим предлагается назвать этот четырехзначный запоминающий элемент R^* -триггером. Двойственный ему \bar{R}^* -триггер изображен на рис. 3.12.

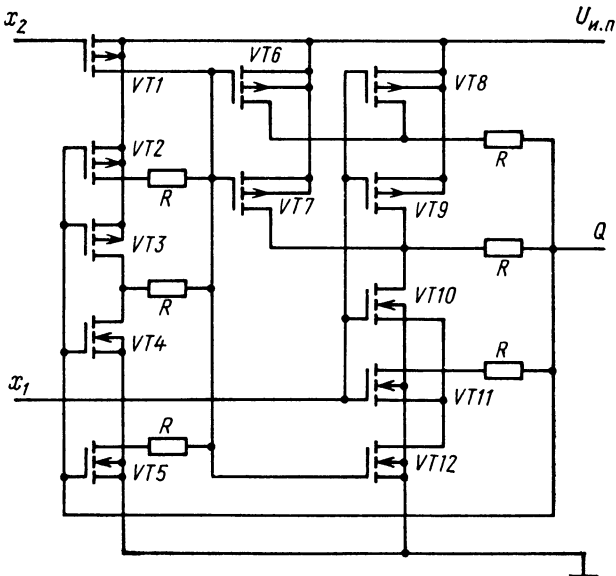


Рис. 3.12. Четырехзначный R^* -триггер

СПИСОК ЛИТЕРАТУРЫ

1. Агаханян Т. М., Плеханов С. П. Интегральные триггеры устройств автоматики — М.: Машиностроение, 1978. — 368 с.
2. А. с. 1097162 СССР, МКИ³ Н03К/19/094. *m*-значный инвертор/ Г. В. Басалаев, А. Б. Кметь, В. И. Медведев, Д. С. Сержанович. — Оpubл. 1988, Бюл. № 15.
3. А. с. 1126171 СССР, МКИ³ Н03К 19/094. Многоходовой многозначный элемент минимум/ Г. В. Басалаев, А. Б. Кметь, В. И. Медведев, Д. С. Сержанович. — Оpubл. 1988, Бюл. № 15.
4. А. с. 1126172 СССР, МКИ³ Н03К 19/094. Многоходовой многозначный элемент максимум/ Г. В. Басалаев, А. Б. Кметь, В. И. Медведев, Д. С. Сержанович. — Оpubл. 1988, Бюл. № 15.
5. А. с. 1179893 СССР, МКИ³ Н03К 19/094. Мультиплексор на КМОП-транзисторах/ Г. В. Басалаев, А. Б. Кметь, Т. Н. Никитина. — Оpubл. 1988, Бюл. № 14.
6. А. с. 1287280 СССР, МКИ⁴ Н03К 19/08. Циклический инвертор $(\bar{X}+3)\text{mod}^4$ на КМОП-транзисторах/ Р. Б. Дунец, А. Б. Кметь. — Оpubл. 1987, Бюл. № 4.
7. А. с. 1352642 СССР, МКИ⁴ Н03К 19/08. Циклический инвертор на КМОП-транзисторах/ Р. Б. Дунец, А. Б. Кметь. — Оpubл. 1987, Бюл. № 42.
8. А. с. 1375086 СССР, МКИ⁴ Н03К 19/08. Логический элемент $(X_1X_2) \text{mod } 4$ / Г. В. Басалаев, А. Б. Кметь, Т. Н. Никитина. — Оpubл. 1989, Бюл. № 12.
9. А. с. 1378752 СССР, МКИ⁴ Н03К 19/094. Мультиплексор на КМОП-транзисторах/ Г. В. Басалаев, А. Б. Кметь, Т. Н. Никитина. — Оpubл. 1989, Бюл. № 12.
10. Григорьев В. В., Раков М. А. Многозначные помехозащищенные линейные коды в цифровых самокорректирующихся системах. — Препринт. — Львов, 1985. — 48 с. — (Физико-механический ин-т им. Г. В. Карпенко АН УССР, № 92).
11. Григорьев В. В., Раков М. А. Коды с повторениями в цифровых многозначных самокорректирующихся системах. — Препринт. — Львов, 1986. — 48 с. — (Физико-механический ин-т им. Г. В. Карпенко АН УССР, № 112).
12. Гусаков В. М. Статические характеристики переключения вентиля на комплементарных МДП-транзисторах/ Под ред. А. А. Васенкова, Я. А. Федотова// Микроэлектроника и полупроводниковые приборы. — М.: Сов. радио, 1977. — Вып. 2. — С. 39—53.
13. Дуб Я. Т. Динамика непрерывных многоустойчивых систем. — Киев: Наукова думка, 1975. — 192 с.
14. Иваськив Ю. Л. Принципы построения многозначных физических схем. — Киев: Наукова думка, 1971. — 316 с.
15. Микроэлектронные схемы цифровых устройств/ И. Н. Букреев, Б. М. Мансуров, В. И. Горячев. — М.: Сов. радио, 1975. — 368 с.
16. Многозначные структуры: Сб. науч. тр. — Киев: Наукова думка, 1976. — 136 с.
17. Многозначные элементы и структуры: Сб. статей/ Под ред. В. П. Сигорского. — М.: Сов. радио, 1967. — 208 с.
18. Многозначные элементы и структуры: Сб. науч. тр. — Киев: Наукова думка, 1975. — 176 с.
19. Многозначные элементы и структуры: Сб. науч. тр. — Киев: Наукова думка, 1978. — 136 с.
20. Многозначные элементы структуры системы: Сб. науч. тр. — Киев: Наукова думка, 1983. — 144 с.
21. Многоустойчивые элементы дискретной техники/ В. П. Сигорский, Л. С. Ситников, Л. Л. Утяков. — М.: Энергия, Ленингр. отд-ние, 1966. — 360 с.
22. Многоустойчивые элементы и их применение: Сб. статей/ Под ред. В. П. Сигорского. — М.: Сов. радио, 1971. — 320 с.
23. Многоустойчивые элементы и структуры/ Под ред. В. М. Тузова// Вопросы кибернетики. Техническая кибернетика. — М.: Сов. радио, 1975. — Вып. 9. — 212 с.
24. Моделирующие системы с многозначным и гибридным кодированием: Сб. науч. тр. — Киев: Наукова думка, 1980. — 192 с.

25. **Надежность** многозначных структур/ В. В. Григорьев, А. Б. Кметь, З. Д. Конопляно и др. — Киев: Наукова думка, 1981. — 176 с.
26. **Память** кибернетических систем/ Л. П. Крайзмер, В. Н. Дулин, Ю. Е. Наумов. — М.: Сов. радио, 1971. — 398 с.
27. **ПЗУ** на основе элементов с четырьмя состояниями// Электроника. — 1984. — Т. 57, № 1. — С. 116.
28. **Плеханов С. П.** О количестве технически реализуемых логических типов интегральных триггеров// Электронная техника. Сер. 3. Микроэлектроника. — 1975. — № 1(55). — С. 110—112.
29. **Пономарев М. Ф., Коноплев Б. Г., Фомичев А. В.** Многоуровневые логические элементы и устройства БИС. — М.: ЦНИИ «Электроника», 1982. — 55 с. — (Обзоры по электронной технике. Сер. 3, Микроэлектроника; Вып. 2).
30. **Применение** многозначной логики при решении некоторых задач обработки изображений/ Ю. А. Василенко, В. В. Николенко, В. И. Раков, М. А. Раков. — Препринт. — Львов, 1985. — 42 с. — (Физико-механический ин-т им. Г. В. Карпенко АН УССР, № 97).
31. **Раков М. А.** Многозначные структуры и перспективы развития информационно-вычислительной техники. — Препринт. — Львов, 1982. — 71 с. (Физико-механический ин-т им. Г. В. Карпенко АН УССР, № 66).
32. **Реализация** многозначных структур автоматики/ А. Абдукаюмов, Д. А. Абдуллаев, Г. В. Басалаев и др. — Киев: Наукова думка, 1976. — 350 с.
33. **Специализированные** многозначные анализаторы/ М. А. Раков, А. Б. Кметь, А. Л. Ланцов и др. — Киев: Наукова думка, 1977. — 169 с.
34. **Тилл У., Лаксон Дж.** Интегральные схемы. Материалы, приборы, изготовление. — М.: Мир, 1985. — 504 с.
35. **Трачик В.** Дискретные устройства автоматики/ Под ред. Д. А. Поспелева. — М.: Энергия, 1978. — 456 с.
36. **Цифровые** многозначные элементы и структуры/ К. Г. Самофалов, В. И. Корнейчук, А. М. Романкевич, В. П. Тарасенко. — Киев: Вища школа, 1974. — 168 с.
37. **Conference Record of the International Symposium on Multiple-Valued Logic (ISMVL) (Toronto, May).** — N. Y.: IEEE, 1973. — 247 p.
38. **Freitas D. A., Current K. W.** A Quaternary Logic Encoder-Decoder Circuit Design Using CMOS// Proceedings of the 13 ISMVL (Kyoto, Japan, May). — N. Y.: IEEE, 1983. — P. 190—195.
39. **Freitas D. A., Current K. W.** CMOS Circuits for Quaternary Encoding and Decoding// Proceedings of the 14 ISMVL (Toronto, May). — N. Y.: IEEE, 1984. — P. 164—168.
40. **Hatta M., Takanami I., Inowe K. A.** Realisation of Ternary Logic Functions by Using Cellular Arrays// Proceedings of the 10 ISMVL (Evanston, IL, June) — N. Y.: IEEE, 1980. — P. 45—64.
41. **Huertas J. L., Carmona J. M.** Low-Power Ternary CMOS Circuits// Proceedings of the 9 ISMVL (Bath, England, May). — N. Y.: IEEE, 1979. — P. 170—174.
42. **Huertas J. L., Sanches-Gomes G.** Low-Power CMOS Implementation of Some Operators// Proceedings of the 11 ISMVL (Oklahoma City, May). — N. Y.: IEEE, 1981. — P. 196—199.
43. **IEEE Trans. on Computers.** — 1981. — Vol. 30, N 9. — P. 617—705.
44. **Li M., Gu W.-N.** The New Method of Implementation for Ternary Logic System// Proceedings of the 13 ISMVL (Kyoto, Japan, May). — N. Y.: IEEE, 1983. — P. 56—60.
45. **Multiple-Valued Logic// Computer.** — 1974. — Vol. 7, N 9. — 94 p.
46. **Muta S.** Micropower CMOS Implementation of Three-Valued Logic Functions// Proceedings of the 13 ISMVL (Kyoto, Japan, May). — N. Y.: IEEE, 1983. — P. 61—63.
47. **Pat. 4107549 USA, Int. Cl. H03K 19/08.** Ternary Logic Circuits with CMOS Integrated Circuits/ H. T. Moufah.
48. **Proceedings of the 4 ISMVL (Morgantown, WV, May).** — N. Y.: IEEE, 1974. — 551 p.

49. **Proceedings** of the 5 ISMVL (Bloomington, IN, May).— N. Y.: IEEE, 1975.— 475 p.
50. **Proceedings** of the 6 ISMVL (Logan, Utah, May).— N. Y.: IEEE, 1976.— 275 p.
51. **Proceedings** of the 7 ISMVL (Charlotte, NC, May).— N. Y.: IEEE, 1977.— 155 p.
52. **Proceedings** of the 8 ISMVL (Rosemont, IL, May).— N. Y., IEEE, 1978.— 298 p.
53. **Proceedings** of the 9 ISMVL (Bath, England, May).— N. Y.: IEEE, 1979.— 304 p.
54. **Proceedings** of the 10 ISMVL (Evanston, IL, June).— N. Y.: IEEE, 1980.— 280 p.
55. **Proceedings** of the 11 ISMVL (Oklahoma City, May).— N. Y.: IEEE, 1981.— 298 p.
56. **Proceedings** of the 12 ISMVL (Paris, France, May).— N. Y.: IEEE, 1982.— 340 p.
57. **Proceedings** of the 13 ISMVL (Kyoto, Japan, May).— N. Y.: IEEE, 1983.— 430 p.
58. **Proceedings** of the 14 ISMVL (Toronto, May).— N. Y.: IEEE, 1984.— 269 p.
59. **Shiva S. G., Nagle H. T.** On Multiple-Valued Memory Elements// **Proceedings** of the 4 ISMVL (Morgantown, WV, May).— N. Y.: IEEE, 1974.— P. 209—224.
60. **Vranesic Z. G., Smith K. C., Druzeta A.** Electronic Implementation of Multi-Valued Logic Networks// **Proceedings** of the 4 ISMVL (Morgantown, WV, May).— N. Y.: IEEE, 1974.— P. 59—78.

1 р. 50 к.



Четырёхзначная
логика
Реализация
операций

Издательство «Радио и связь»